

МЕЖГОСУДАРСТВЕННОЕ ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ  
ВЫСШЕГО ОБРАЗОВАНИЯ  
«БЕЛОРУССКО-РОССИЙСКИЙ УНИВЕРСИТЕТ»

Кафедра «Физические методы контроля»

# СХЕМОТЕХНИКА

*Методические рекомендации к лабораторным работам  
для студентов направления подготовки  
09.03.01 «Информатика и вычислительная техника»  
очной формы обучения*



Могилев 2021

УДК 621.37  
ББК 34.844  
С92

Рекомендовано к изданию  
учебно-методическим отделом  
Белорусско-Российского университета

Одобрено кафедрой «Физические методы контроля» «26» февраля 2021 г.,  
протокол № 7

Составители: канд. техн. наук, доц. С. В. Болотов;  
ст. преподаватель И. В. Курлович;  
канд. техн. наук, доц. А. А. Афанасьев

Рецензент канд. техн. наук, доц. Б. Б. Скарыно

Методические рекомендации предназначены для студентов направления  
подготовки 09.03.01 «Информатика и вычислительная техника» очной формы  
обучения для выполнения лабораторных работ по дисциплине «Схемотехника».

Учебно-методическое издание

## СХЕМОТЕХНИКА

Ответственный за выпуск	С. С. Сергеев
Корректор	А. А. Подошевка
Компьютерная верстка	Е. В. Ковалевская

Подписано в печать . Формат 60×84/16. Бумага офсетная. Гарнитура Таймс.  
Печать трафаретная. Усл. печ. л. . Уч.-изд. л. . Тираж 36 экз. Заказ №

Издатель и полиграфическое исполнение:  
Межгосударственное образовательное учреждение высшего образования  
«Белорусско-Российский университет».  
Свидетельство о государственной регистрации издателя,  
изготовителя, распространителя печатных изданий  
№ 1/156 от 07.03.2019.  
Пр-т Мира, 43, 212022, г. Могилев.

© Белорусско-Российский  
университет, 2021

## Содержание

1 Лабораторная работа № 1. Изучение лабораторного оборудования.....	4
2 Лабораторная работа № 2. Исследование режимов работы логических элементов НЕ, ИЛИ, И.....	5
3 Лабораторная работа № 3. Исследование работы счетчиков, дешифраторов семисегментных индикаторов.....	9
4 Лабораторная работа № 4. Исследование работы RS-, D-, T-, K-триггеров.....	15
5 Лабораторная работа № 5. Исследование сумматоров.....	22
6 Лабораторная работа № 6. Исследование работы регистров.....	24
7 Лабораторная работа № 7. Исследование схем цифроаналогового и аналого-цифрового преобразователей.....	27
8 Лабораторная работа № 8. Исследование арифметико-логических устройств.....	33
Список литературы.....	36

# 1 Лабораторная работа № 1. Изучение лабораторного оборудования

**Цель работы:** изучение комплекта лабораторного оборудования и режимов его работы; получение навыков создания электрических схем и моделирования их работы в среде Multisim; получение навыков создания виртуальных приборов для сбора и обработки данных в среде LabVIEW.

## 1.1 Порядок выполнения работы

1 Изучить устройство, органы управления и режимы работы блока управления БУК 32, мультиметра К 32, генератора Л 31, устройства сбора данных NI USB-6009, источника НУ3002-D2.

2 По заданию преподавателя сформировать с помощью блока управления БУК 32 и источника НУ3002-D2 уровни постоянного напряжения  $U_1$ ,  $U_2$ . Измерить их значения мультиметром К 32.

Сформировать с помощью генератора Л 31 прямоугольные импульсы с максимальным напряжением  $U_m$ , и частотой  $f$ . Наблюдать и измерить амплитуду  $U_m$  и период  $T=1/f$  мультиметром К 32. Вычислить частоту сигнала  $f$ . Заполнить таблицу 1.1 (мультиметр).

Таблица 1.1 – Результаты измерений

Тип сигнала	Прибор	$U_1$ , В	$U_2$ , В	$U_m$ , В	$T$ , с	$f$ , Гц
Постоянный	Мультиметр			–	–	–
	Виртуальный прибор			–	–	–
Прямоугольный	Мультиметр	–	–			
	Виртуальный прибор	–	–			

3 Изучить инструментальные панели среды Multisim, возможности эмуляции. Ознакомиться с набором компонентов и виртуальных приборов.

4 По заданию преподавателя собрать схему в «окне разработок», подключить виртуальные приборы.

Запустить моделирование работы схемы, нажав соответствующую кнопку «панели симуляции». Зафиксировать показания измерительных приборов, осциллограммы напряжений в контрольных точках.

5 Изучить панели, палитры меню среды LabVIEW.

Разработать виртуальный прибор для исследования параметров сигналов в среде LabVIEW. Блок-диаграмма виртуального прибора содержит следующие блоки: «DAQAssistant» – обеспечивает сбор данных с устройства NI USB-6009, «Amplitude and Level Measurements» – для определения действующего значения и постоянной составляющей напряжения, «Tone Measurements» – для определения амплитуды и частоты сигнала.

С помощью генератора Л 31 и блока управления БУ К 32 сформировать сигналы, указанные в п. 2. Исследовать полученные сигналы с помощью виртуального прибора. Заполнить таблицу 1.1 (виртуальный прибор). Сравнить измеренные значения с показаниями мультиметра К 32.

6 Сделать выводы по результатам работы.

## **1.2 Содержание отчёта**

Отчёт по работе должен содержать: цель работы; состав комплекта лабораторного оборудования с кратким описанием основных его блоков, органов управления и режимов работы; распечатку «окна схемы» среды Multisim, осциллограммы напряжений в контрольных точках, результаты расчёта цепи; распечатку лицевой панели и панели блок-диаграммы в среде LabVIEW, результаты измерений параметров сигналов; выводы по работе.

### **Контрольные вопросы**

1 Опишите органы управления и режимы работы блоков лабораторного оборудования.

2 Как сформировать и измерить постоянное напряжение и прямоугольные импульсы на лабораторном оборудовании?

3 Как задавать и измерять сигналы в среде схематического моделирования Multisim?

## **2 Лабораторная работа № 2. Исследование режимов работы логических элементов НЕ, ИЛИ, И**

**Цель работы:** изучение принципа функционирования и характеристик логических элементов.

### **2.1 Общие сведения**

В ЭВМ, импульсных и других цифровых устройствах широко применяются *логические элементы*. Каждый логический элемент выполняет вполне определенную логическую операцию. Основными логическими операциями являются: логическое отрицание НЕ (инверсия), логическое сложение ИЛИ (дизъюнкция), логическое умножение И (конъюнкция) (таблица 2.1). К базовым логическим элементам относятся элементы Пирса и на основе этих простых операций могут строиться и более сложные (таблица 2.2). Для описания логических операций используется алгебра логики. При этом одно из состояний, соответствующие, например, высокому уровню напряжения, обозначается *единицей*,

а соответствующее низкому уровню напряжения – *нулем*. Уровень выходного напряжения логического элемента зависит от уровня входного (или нескольких входных) напряжений. Эта связь отображается таблицей состояний (таблицей истинности).

К разновидностям логических микросхем, используемых на практике, относятся ТТЛ (ТТЛ, транзисторно-транзисторная логика) и КМОП (CMOS, комплементарная металл-окисел-полупроводник). В ТТЛ используются биполярные транзисторы, а в КМОП – полевые комплементарные транзисторы с изолированным затвором.

Таблица 2.1 – Формы отображения основных логических функций

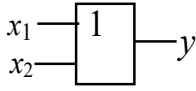
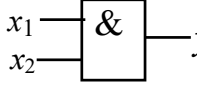
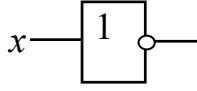
Наименование функции	Дизъюнкция	Конъюнкция	Инверсия																																				
Символическая	$\vee$ или $+$	$\wedge$ или $\cdot$	$\bar{x}$																																				
Буквенная	ИЛИ	И	НЕ																																				
Условная графическая																																							
Аналитическая	$y = x_1 \vee x_2 = x_1 + x_2$	$y = x_1 \wedge x_2 = x_1 x_2$	$y = \bar{x}$																																				
Табличная (истинности)	<table border="1" style="display: inline-table; vertical-align: middle;"> <thead> <tr><th><math>x_1</math></th><th><math>x_2</math></th><th><math>y</math></th></tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </tbody> </table>	$x_1$	$x_2$	$y$	0	0	0	0	1	1	1	0	1	1	1	1	<table border="1" style="display: inline-table; vertical-align: middle;"> <thead> <tr><th><math>x_1</math></th><th><math>x_2</math></th><th><math>y</math></th></tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </tbody> </table>	$x_1$	$x_2$	$y$	0	0	0	0	1	0	1	0	0	1	1	1	<table border="1" style="display: inline-table; vertical-align: middle;"> <thead> <tr><th><math>x</math></th><th><math>y</math></th></tr> </thead> <tbody> <tr><td>0</td><td>1</td></tr> <tr><td>1</td><td>0</td></tr> </tbody> </table>	$x$	$y$	0	1	1	0
$x_1$	$x_2$	$y$																																					
0	0	0																																					
0	1	1																																					
1	0	1																																					
1	1	1																																					
$x_1$	$x_2$	$y$																																					
0	0	0																																					
0	1	0																																					
1	0	0																																					
1	1	1																																					
$x$	$y$																																						
0	1																																						
1	0																																						

Таблица 2.2 – Формы отображения базовых логических функций

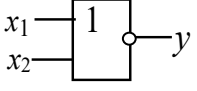
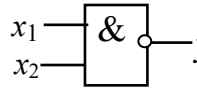
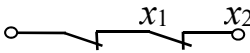
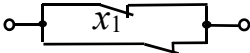
Наименование функции	Функция Пирса	Функция Шеффера																														
Символическая	$\downarrow$	$ $																														
Буквенная	ИЛИ-НЕ	И-НЕ																														
Условная графическая																																
Аналитическая	$y = x_1 \downarrow x_2$	$y = x_1   x_2$																														
Табличная (истинности)	<table border="1" style="display: inline-table; vertical-align: middle;"> <thead> <tr><th><math>x_1</math></th><th><math>x_2</math></th><th><math>y</math></th></tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>0</td></tr> </tbody> </table>	$x_1$	$x_2$	$y$	0	0	1	0	1	0	1	0	0	1	1	0	<table border="1" style="display: inline-table; vertical-align: middle;"> <thead> <tr><th><math>x_1</math></th><th><math>x_2</math></th><th><math>y</math></th></tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>0</td></tr> </tbody> </table>	$x_1$	$x_2$	$y$	0	0	1	0	1	1	1	0	1	1	1	0
$x_1$	$x_2$	$y$																														
0	0	1																														
0	1	0																														
1	0	0																														
1	1	0																														
$x_1$	$x_2$	$y$																														
0	0	1																														
0	1	1																														
1	0	1																														
1	1	0																														
Контактная																																

Схема элемента 2И-НЕ на ТТЛ, реализованная на многоэмиттерном транзисторе, представлена на рисунке 2.1. Серии ТТЛ микросхем: К155 (74), К555 (74LS), К1531 (74F), К1533(74LS).

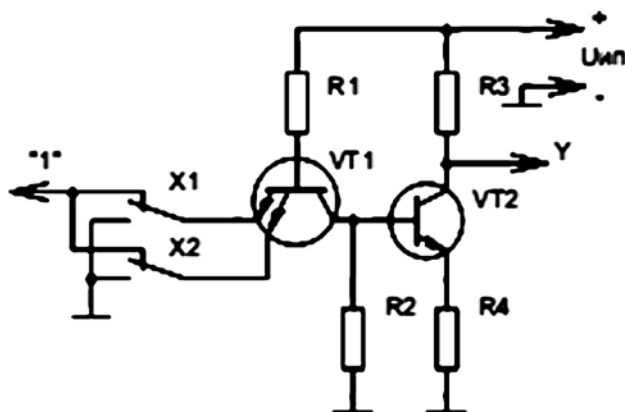


Рисунок 2.1 – Схема элемента 2И-НЕ в ТТЛ

Достоинство КМОП-логики – малое потребление тока от источника питания, недостаток – низкое быстродействие. Серии микросхем КМОП: К561 (CD4000В), К564, К1561 (CD4000В), К1564(54НС).

Реализация элемента 2ИЛИ-НЕ на КМОП-логике представлена на рисунке 2.2.

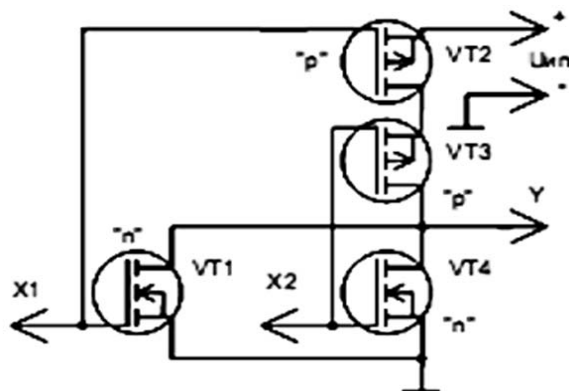


Рисунок 2.2 – Схема элемента 2ИЛИ-НЕ в КМОП-логике

## 2.2 Порядок выполнения работы

1 В программе Multisim собрать схему для испытания основных и базовых логических элементов OR (ИЛИ), AND (И), NOT (НЕ), NAND (И-НЕ) и XOR (ИЛИ-НЕ), расположенных в библиотеке Misc Digital/TIL с уровнем высокого напряжения 5 В. В схему включены ключи SB1 и SB2, пробники X1, X2 и Y1...Y5 с пороговыми напряжениями 5 В. Если входной или выходной сигнал элемента равен логической единице, то включенный на выходе этого элемента пробник светится (рисунок 2.3). Результаты моделирования занести в таблицу 2.3.

Таблица 2.3 – Результаты моделирования

Дизъюнктор [ИЛИ (OR)]			Конъюнктор [И (AND)]			Инвертор [НЕ (NOT)]		Штрих Шеффера [И-НЕ (NAND)]			Стрелка Пирса [ИЛИ-НЕ (NOR)]		
x1	x2	y	x1	x2	y	x	y	x1	x2	y	x1	x2	y
0	0		0	0		0		0	0		0	0	
0	1		0	1				0	1		0	1	
1	0		1	0		1		1	0		1	0	
1	1		1	1				1	1		1	1	

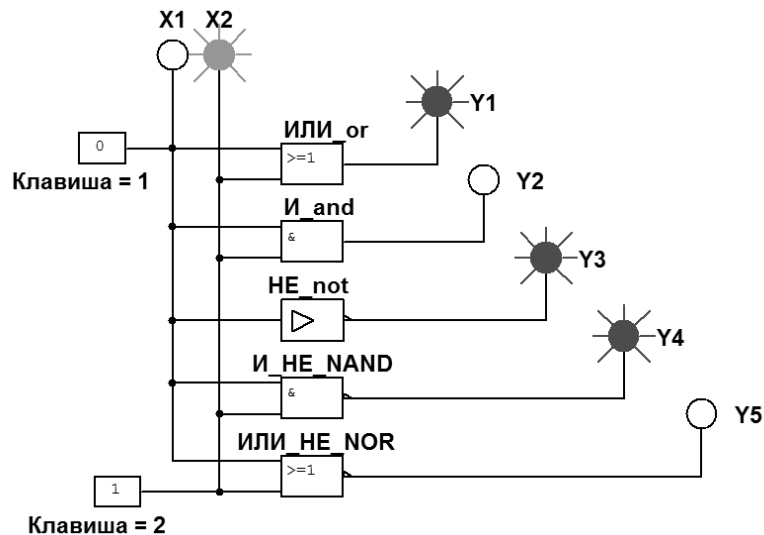


Рисунок 2.3 – Схема для исследования основных и базовых логических элементов

2 По заданию преподавателя исследовать работу трех логических элементов одной из серий интегральных микросхем (рисунок 2.4), предварительно выписав из справочника их параметры и условное обозначение. Составить таблицу истинности для данных элементов.

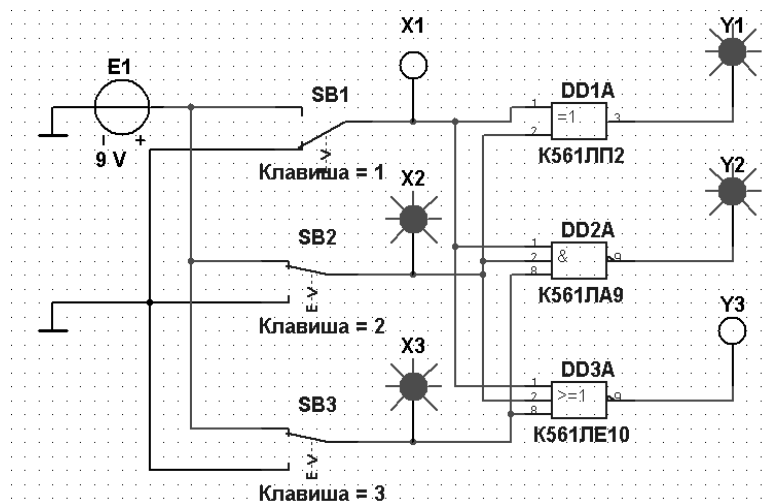


Рисунок 2.4 – Схема для исследования логических элементов серии K561

3 Сделать выводы по результатам работы.

### 2.3 Содержание отчёта

Отчёт по работе должен содержать: цель работы, схемы для моделирования работы логических элементов в среде Multisim, таблицы истинности работы логических элементов, выводы по работе.

#### Контрольные вопросы

- 1 Перечислите основные параметры логических элементов.
- 2 Как составить таблицу истинности логического элемента?



3 Назовите базовые логические операции и изобразите условное графическое обозначения основных логических элементов.

4 Назовите преимущества использования цифровых электрических сигналов по сравнению с аналоговыми.

5 Как обозначают булевы переменные и булевы функции?

6 Назовите способы описания логической функции.

### 3 Лабораторная работа № 3. Исследование работы счетчиков, дешифраторов семисегментных индикаторов

**Цель работы:** изучение принципа функционирования, характеристик счётчиков, дешифраторов и полупроводниковых индикаторов.

#### 3.1 Общие сведения

*Дешифратор (DC) или декодер* – комбинационная схема с  $n$  входами и  $m = 2^n$  выходами ( $m > n$ ), преобразующая двоичный входной  $n$ -код (кодированное слово) в унитарный. На одном из  $m$  выходов дешифратора появляется логическая 1, а именно на том, номер которого соответствует поданному на вход двоичному коду.

На остальных выходах дешифратора выходные сигналы будут равны нулю. Дешифратор используют в том случае, когда нужно обращаться к различным цифровым устройствам по адресу, который представлен в двоичном коде.

Условное изображение дешифратора  $4 \times 16$  (читаемого «четыре в шестнадцать») на схемах дано на рисунке 3.1. Дешифратор содержит число выходов, равное числу комбинаций входных переменных: от  $y_0 = \bar{a}\bar{b}\bar{c}\bar{d}$  до  $y_{15} = abcd$  при  $n = 4$  и  $m = 2^n = 16$ .

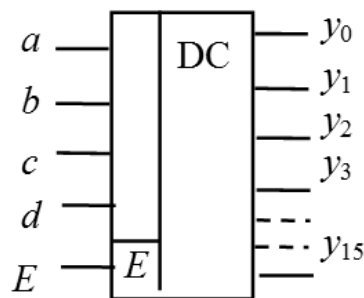


Рисунок 3.1 – Условное изображение дешифратора  $4 \times 16$

*Счётчик* предназначен для счёта поступающих на его вход импульсов, в интервале между которыми он должен хранить информацию об их количестве. Поэтому счётчик состоит из запоминающих ячеек-триггеров, обычно  $D$ - или  $JK$ -типа. Между собой ячейки счётчика соединяют таким образом, чтобы каждому числу импульсов соответствовали состояния 1 или 0 определенных ячеек. При этом совокупность единиц и нулей на выходах  $n$  ячеек, называемых *разрядами* счетчика, представляет собой  $n$ -разрядное двоичное число, которое однозначно определяет количество прошедших через входы импульсов.

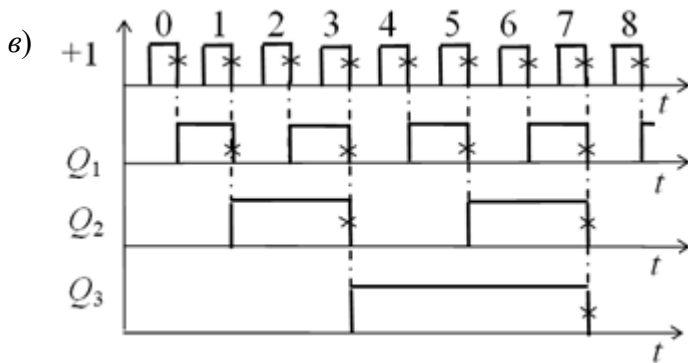
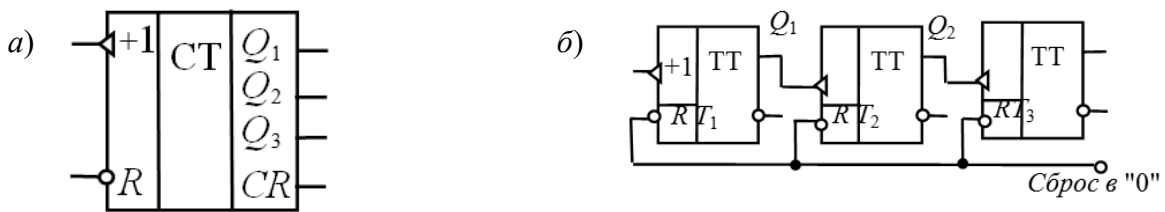
Каждый разряд счётчика может находиться в двух состояниях. Число устойчивых состояний, которое может принимать данный счётчик, называют *коэффициентом пересчёта*  $K_{сч}$ .

Если с каждым входным импульсом «записанное» в счётчике число увеличивается, то такой счётчик является *суммирующим*, если же оно уменьшается, то *вычитающим*. Счётчик, работающий как на сложение, так и на вычитание, называют *реверсивным*.

Счётчики, у которых под воздействием входного импульса переключение соответствующих разрядов происходит последовательно друг за другом, называют *асинхронными*, а когда переключение происходит одновременно – *синхронными*. Максимальное число  $N$ , которое может быть записано в счётчике, равно  $(2^n - 1)$ , где  $n$  – число разрядов счётчика.

По способу кодирования последовательных состояний различают *двоичные* счётчики с коэффициентами пересчёта (обнуления)  $K_{сч} = 2^n$ , у которых порядок смены состояний триггеров соответствует последовательности двоичных чисел, и *недвоичные*, у которых  $K_{сч} < 2^n$  (например, десятичные с коэффициентом  $K_{сч} = 10$  или делители частоты с коэффициентом деления  $K_{сч} \neq 2^n$ ).

Условное изображение трехразрядного *суммирующего* счётчика показано на рисунке 3.2, а, на котором символом  $R$  обозначен вход общего сброса, символами  $Q_1, Q_2$  и  $Q_3$  – выходы счетчика,  $CR$  – выход переноса единицы. Суммирующий вход счётчика обозначается  $+1$ , вычитающий  $-1$ . Это счетные входы. У асинхронных счётчиков эти входы помечены специальными символами:  $\triangleright$  или  $\triangleleft$ , указывающими полярность перепада входного сигнала:  $1/0$  (задний фронт) или  $0/1$  (передний фронт), при которой происходит переключение триггеров счётчика.



а)

	$Q_3$	$Q_2$	$Q_1$	$CR$
0	0	0	0	
1	0	0	1	
2	0	1	0	
3	0	1	1	
4	1	0	0	
5	1	0	1	
6	1	1	0	
7	1	1	1	
				1
0	0	0	0	

а – условное обозначение, б – реализация на триггерах, в – временные диаграммы работы; г – таблица переключений

Рисунок 3.2 – Трёхразрядный суммирующий счётчик

Для переключения триггеров в счётчиках используют следующие связи: непосредственную, тракт последовательного переноса, тракт параллельного переноса. Схема счётчика с непосредственными связями показана на рисунке 3.2, б. Первый триггер счётчика  $T_1$  образует младший разряд. Он пересчитывает входные импульсы по модулю 2, а состояние его выхода воспринимается следующим  $T_2$  триггером как входные сигналы и снова пересчитываются на 2 и т. д.

Полное представление о состояниях счётчика, в зависимости от числа поданных на вход импульсов, даёт таблица переключений (рисунок 3.2, з) и временные диаграммы (рисунок 3.2, в), где изображены последовательность входных импульсов (на входе +1), а также состояния триггеров – первого  $Q_1$ , второго  $Q_2$  и третьего  $Q_3$ . Фронты импульсов на диаграммах показаны идеальными: потенциал, соответствующий логическому 0, считается равным нулю, переключающие перепады для наглядности помечены крестиками.

Рассмотрим воздействие на счётчик, к примеру, шестого (обозначенного на диаграмме цифрой 5) импульса. По его спаду триггер  $T_1$  устанавливается в 0, перепад 1/0 на его выходе  $Q_1$  переключает в 1 триггер  $T_2$ , а триггер  $T_3$  остается в прежнем (единичном) состоянии, т. к. перепад 0/1 на выходе  $Q_2$  не является для него переключающим.

Из диаграммы видно, что частота импульсов на выходе каждого триггера вдвое меньше частоты импульсов на его входе. В момент, предшествующий переключению очередного разряда, все предыдущие разряды счётчика находятся в состоянии 1. Восьмой импульс для трехразрядного счётчика (см. рисунок 3.2, з) является импульсом переполнения: им все триггеры устанавливаются в 0 (счётчик «обнуляется»).

Если в счётчике используются триггеры, переключающиеся перепадом 0/1, то вход последующего триггера нужно соединить с инверсным выходом предыдущего, на котором формируется этот перепад, когда по основному выходу триггер переключается из 1 в 0.

### **3.2 Порядок выполнения работы**

1 В программе Multisim собрать схему для испытания заданного преподавателем синхронного двоичного счётчика (рисунок 3.3) и установить в диалоговых окнах компонентов их параметры или режимы работы.

В схему включен синхронный двоичный 4-разрядный счётчик 74HC161, к входу  $\overline{CLK}$  которого подключен источник тактовых импульсов E1, а к выходам QA, QB, QC и QD – шестнадцатеричный 7-сегментный индикатор DCD\_HEX и дешифратор DC 4×10. Выходы счётчика и дешифратора соединены с входами логического анализатора XLA1.

К входам A, B, C и D счётчика CT подключен источник постоянного напряжения VCC, переключатели 1–4 для формирования входных двоичных кодов и ключ Spase для изменения режима работы счётчика. В синхронном счётчике заданные с помощью ключей уровни сигналов подаются на входы всех

триггеров, как и тактовые импульсы, которые подаются на счётные входы  $CLK$  всех разрядов счётчика.

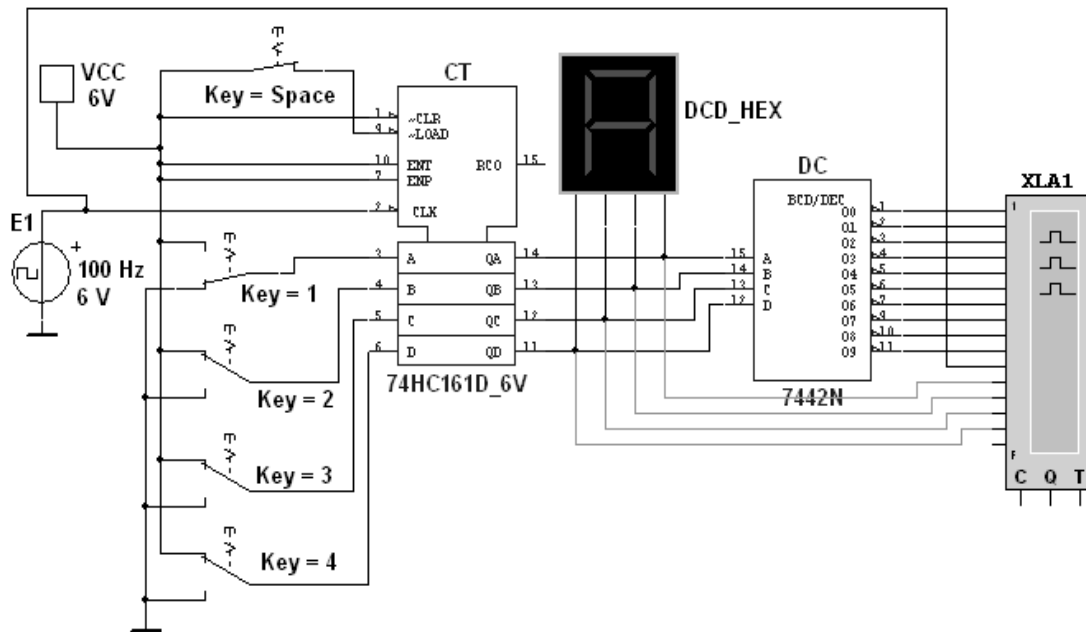


Рисунок 3.3 – Схема для моделирования работы синхронного двоичного счётчика

При *замкнутом* ключе Space число поданных от генератора E1 на вход счётчика импульсов высвечивается на индикаторе DCD\_HEX в десятичном коде, от 0 до 15, после чего счётчик обнуляется и вновь начинается счёт. При этом на одном из выходов дешифратора DC формируется сигнал низкого уровня (логический 0), номер которого соответствует коду входного числа: от 0000 до 1001 ( $9_{10}$ ).

При *разомкнутом* ключе Space сформированное с помощью переключателей на входе счётчика 4-разрядное двоичное число высвечивается на индикаторе в десятичном коде, а на экране анализатора на одном из выходов, соответствующем входному коду счётчика, формируется логический 0.

Промоделировать работу счётчика и дешифратора, сняв временные диаграммы их работы (рисунок 3.4).

Разомкнуть ключ Space. Установить в диалоговом окне анализатора XLA1 напряжение  $V = 5$  В, частоту таймера  $f_a = 2$  кГц, число импульсов, приходящихся на одно деление,  $Clocks/div = 60$ . (При таком режиме лучи медленно перемещаются на экране анализатора.) С помощью активных клавиш 1–4 клавиатуры сформировать произвольные (или по указанию преподавателя) двоичные входные числа (коды), например 1001, 0011, 0000, 1110 и подавать их на входы D, C, B и A счётчика. Зафиксировать показание семисегментного индикатора и дешифратора при данных значениях кода.

2 Для экспериментального исследования заданного преподавателем счётчика собрать схему, приведенную на рисунке 3.5.

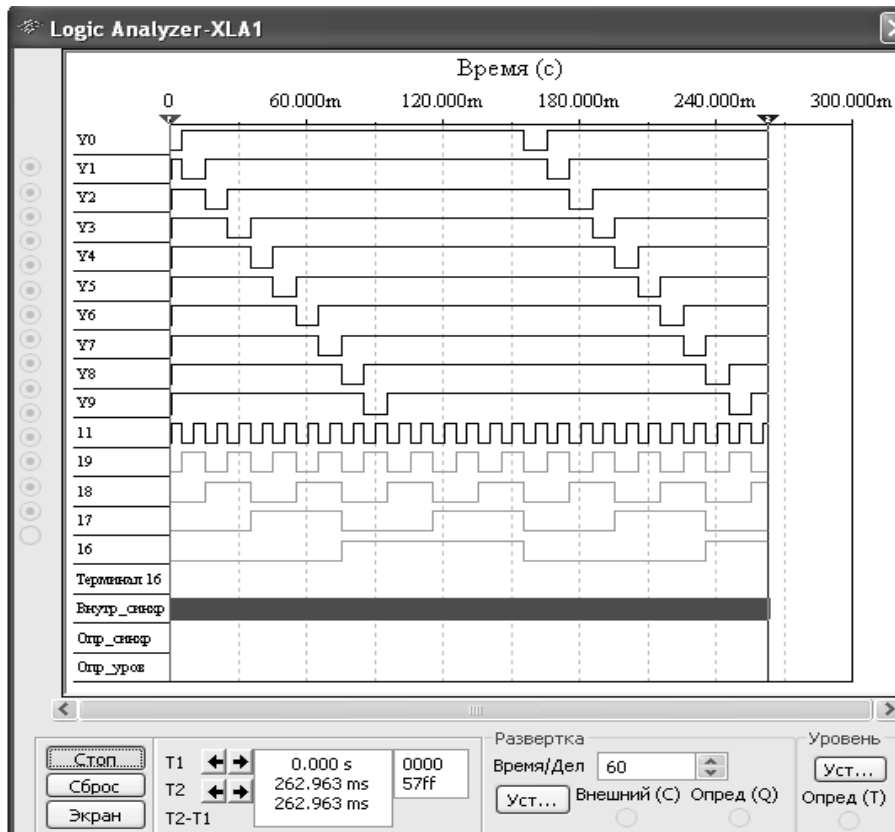


Рисунок 3.4 – Временные диаграммы работы счётчика и дешифратора

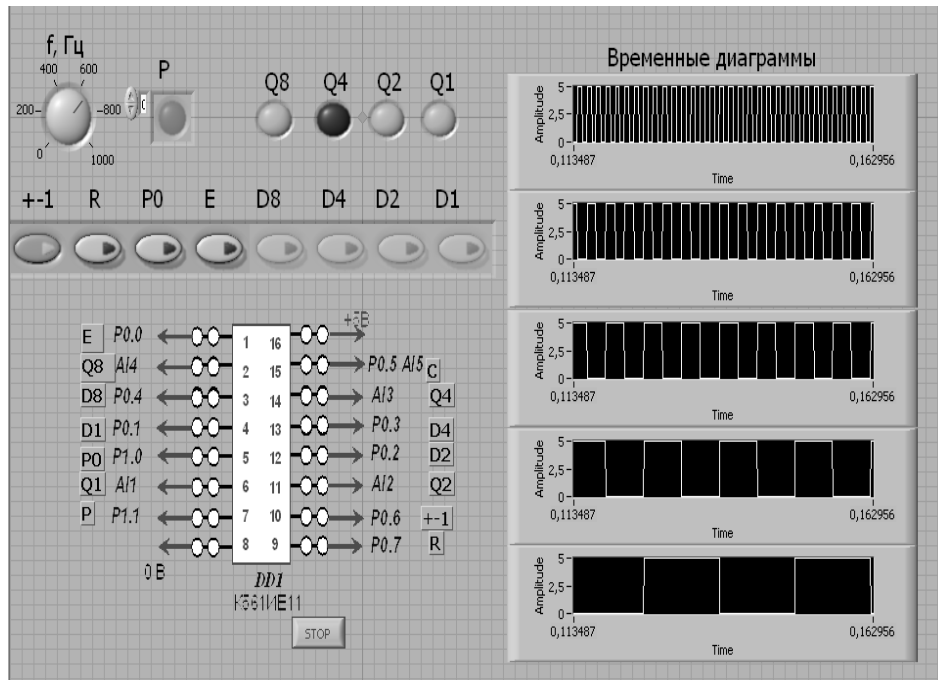


Рисунок 3.5 – Виртуальный прибор для экспериментального исследования счётчика в среде LabVIEW

Питание микросхемы осуществляется от источника NY3002-D2 или выхода +5 В устройства сбора данных NI USB-6009. Сигналы входов счётчика  $R$  (сброс),  $\pm 1$  (направление счёта),  $P_0$  (вход переноса),  $E$  (разрешение установки),  $D1...D8$  (параллельные входы) и выхода  $P$  (перенос) формируются цифровыми выходами  $P0$  и  $P1$  устройства NI USB-6009. Приём счётных импульсов и выходных сигналов  $Q2...Q8$  осуществляется каналами аналогового ввода  $AI1...AI5$ , что реализовано блоками DAQ Assistant блок-диаграммы виртуального прибора (рисунок 3.6). Счётные импульсы  $C$  формируются блоком Simulate Signal блок-диаграммы и передаются на выход  $P0.5$  устройства сбора данных. Состояние выходов счётчика отображается в виде временных диаграмм и индикаторами  $Q1, Q2, Q4, Q8$ .

Исследовать работу счётчика в режиме сложения, вычитания, предварительной установки, сброса. Сравнить с результатами моделирования.

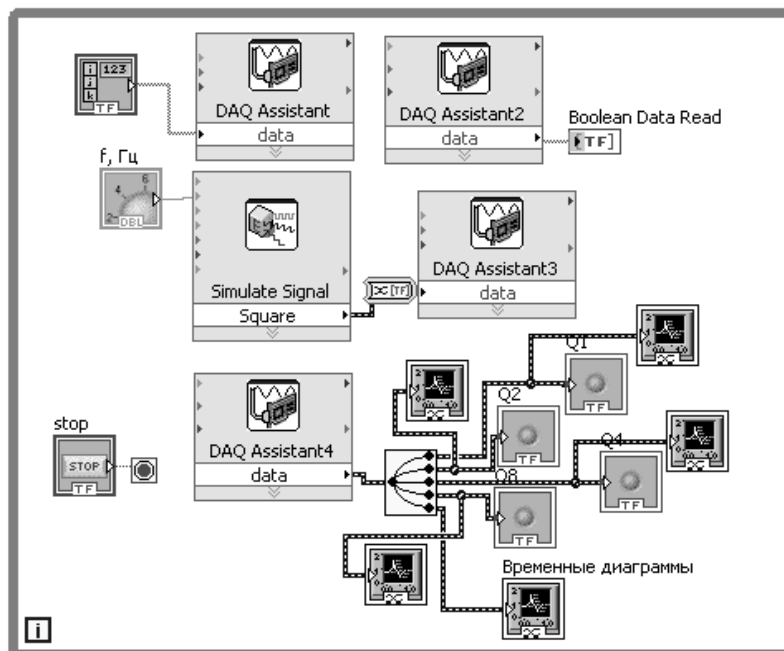


Рисунок 3.6 – Блок-диаграмма виртуального прибора в LabVIEW для исследования счётчика

3 Подключить к выходам счётчика семисегментный индикатор с дешифратором. Исследовать работу данных устройств.

4 Сделать выводы по результатам работы.

### 3.3 Содержание отчёта

Отчёт по работе должен содержать: цель работы, схемы для моделирования работы счётчика, дешифратора и семисегментного индикатора в среде Multisim, блок-диаграмму виртуального прибора для экспериментального снятия характеристик счётчика и диалоговое окно, временные диаграммы работы счётчика, дешифратора, выводы по работе.

### **Контрольные вопросы**

- 1 Опишите работу счётчика импульсов.
- 2 Опишите работу дешифратора.
- 3 Опишите работу семисегментного индикатора.

## **4 Лабораторная работа № 4. Исследование работы RS-, D-, T-, K-триггеров**

**Цель работы:** изучение принципа функционирования и характеристик триггеров.

### **4.1 Общие сведения**

*Триггер* – это устройство последовательного типа с двумя устойчивыми состояниями равновесия, предназначенное для записи и хранения информации. Под действием входных сигналов триггер может переключаться из одного устойчивого состояния в другое.

По способу записи информации триггеры делят на *асинхронные*, которые переключаются в момент подачи входного сигнала, и *синхронные*, которые переключаются только при подаче синхронизирующих импульсов, а момент переключения связан с определённым уровнем синхросигнала (*статические* триггеры) или с моментом перепада напряжения на тактируемом входе (*динамические* триггеры).

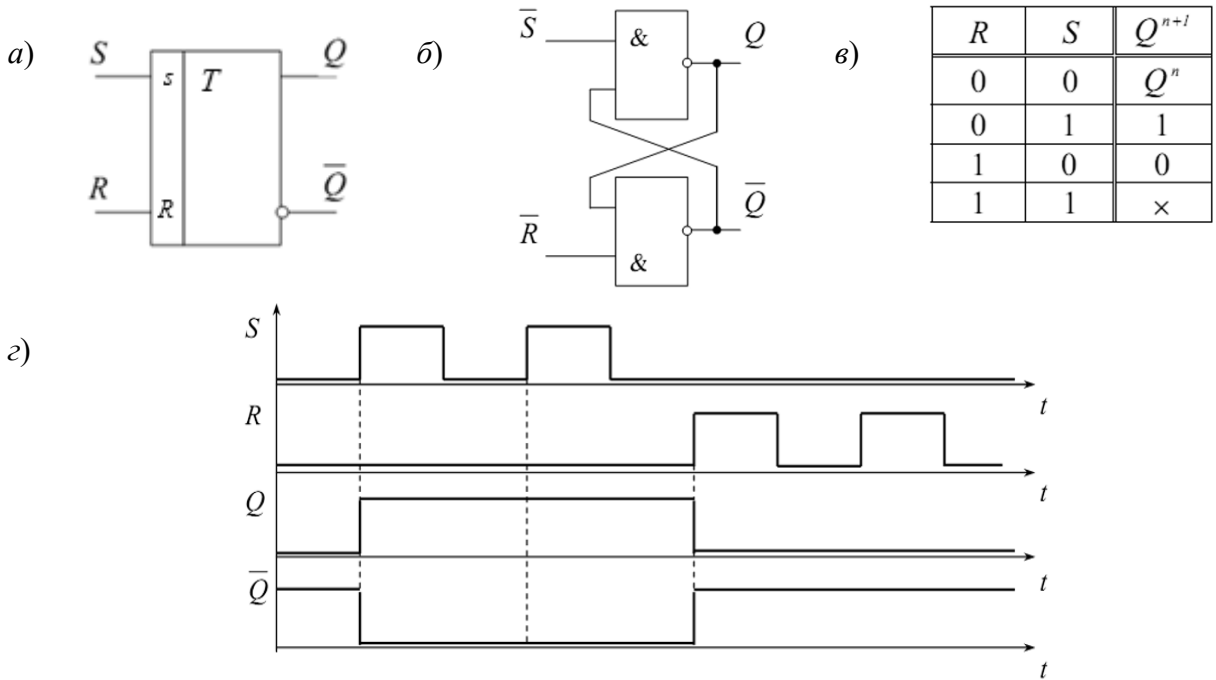
Наибольшее распространение в цифровых устройствах получили триггеры *RS, D, JK* и *T*.

*RS*-триггер (рисунок 4.1) имеет два управляющих входа: *S* (*set*) и *R* (*reset*), с помощью которых выполняются установки триггера в то или иное состояние:  $Q = 1$  при  $S = 1$  и  $R = 0$  (установка триггера);  $Q = 0$  при  $S = 0$  и  $R = 1$  (сброс триггера);  $Q^{n+1} = Q^n$  при  $S = R = 0$  (режим хранения предыдущего состояния);  $S = R = 1$  – запрещенная комбинация управляющих сигналов, которая может привести к неопределённому состоянию триггера.

Принцип работы асинхронного *RS*-триггера поясняется временными диаграммами, показанными на рисунке 4.1, *з*.

Схема простейшего симметричного триггера с автоматическим смещением на биполярных транзисторах типа *p-n-p* изображена на рисунке 4.2. Как видно из схемы, конструктивно триггер представляет собой два транзисторных ключа, собранных таким образом, что выход каждого из усилителей соединяется с входом другого. Обратная связь, получаемая в результате такого соединения, является положительной. Напряжение на выходе транзистора VT2 близкое к нулю, принято считать состоянием 0, а выход VT2 – прямым выходом  $Q$ . Выход транзистора VT1 считается обратным или инверсным и обозначается  $\bar{Q}$ . Уровень напряжения на выходе транзистора VT1  $\bar{Q}$  меньше напряжения питания  $E_k$  и определяется соотношением между сопротивлениями  $R_c$  и  $R_k$ . Этот уровень называют уровнем 1.

Схемотехнически *RS*-триггер также может быть реализован на логических элементах 2ИЛИ-НЕ и 2И-НЕ (см. рисунок 4.1, б) с использованием перекрестных положительных обратных связей. В триггере на элементах 2И-НЕ изменение состояния происходит при низких уровнях сигналов *S* и *R*.



*a* – условное графическое изображение; *б* – схема реализации *RS*-триггера на базовых элементах И-НЕ; *в* – таблица истинности; *г* – временная диаграмма, иллюстрирующая работу триггера

Рисунок 4.1 – Асинхронный *RS*-триггер

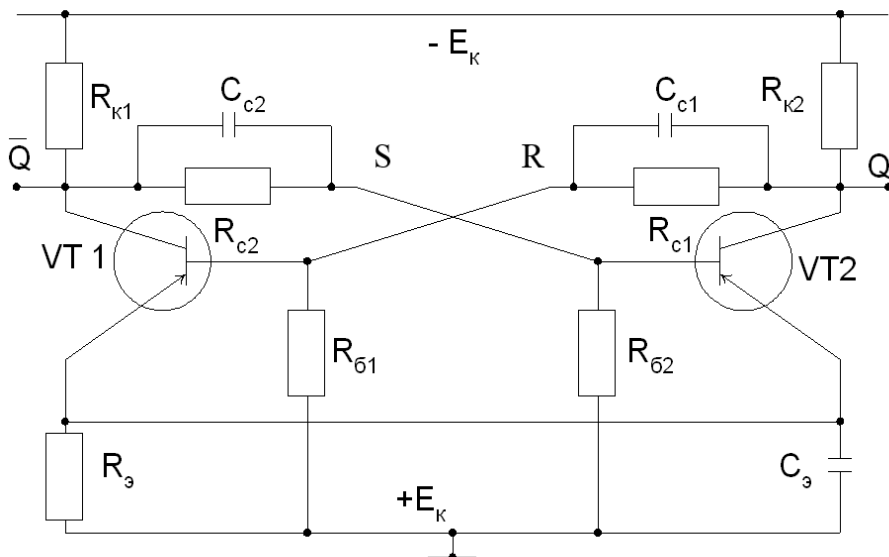
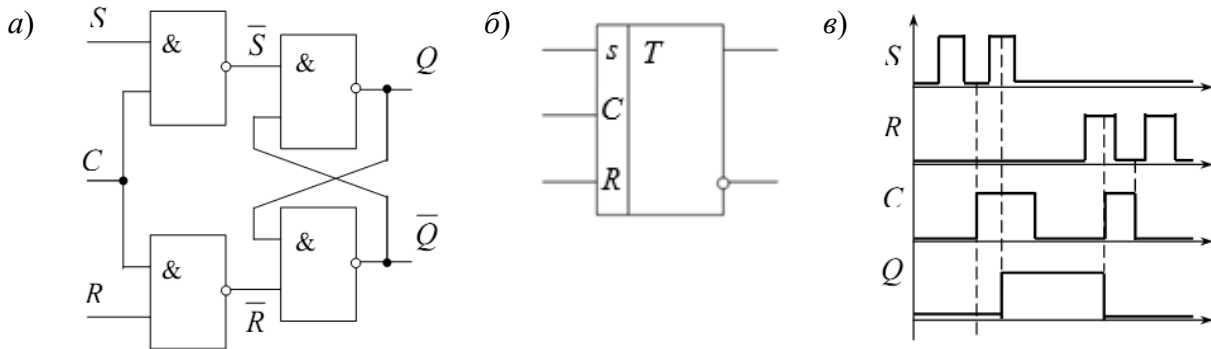


Рисунок 4.2 – Схема триггера с автоматическим смещением

В синхронных *RS*-триггерах могут быть использованы различные способы синхронизации. На рисунке 4.3, *a* и *б* показаны схематехническая реализация и условное обозначение *RS*-триггера с синхронизацией по уровню (высокому).



На рисунке 4.3, в приведены диаграммы работы такого триггера. Изменение состояний происходит только при высоких уровнях сигнала синхронизации  $C$ .

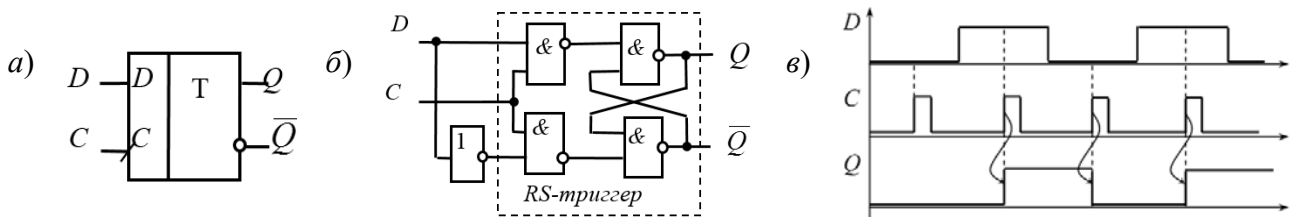


$a$  – схема реализации  $RS$ -триггера на базовых элементах И-НЕ;  $b$  – условно-графическое обозначение;  $в$  – временная диаграмма, иллюстрирующая работу триггера

Рисунок 4.3 – Синхронный  $RS$ -триггер

В  $RS$ -триггере с синхронизацией по фронту изменение состояния происходит в момент изменения уровня сигнала  $C$ . При этом возможна синхронизация как по переднему, так и по заднему фронту (срезу). Такие триггеры строятся по двухступенчатой схеме и в них процессы приема и записи данных разделены во времени.

Отличительной особенностью  $D$ -триггера (триггера задержки) является то, что он сохраняет информацию, поступившую на  $D$ -вход в предыдущем такте работы до прихода синхроимпульса, т. е. его состояние может изменяться с задержкой на один такт. Синхронизация работы производится по переднему или заднему фронту. Условное обозначение  $D$ -триггера с синхронизацией по переднему фронту и диаграммы его работы показаны на рисунке 4.4.

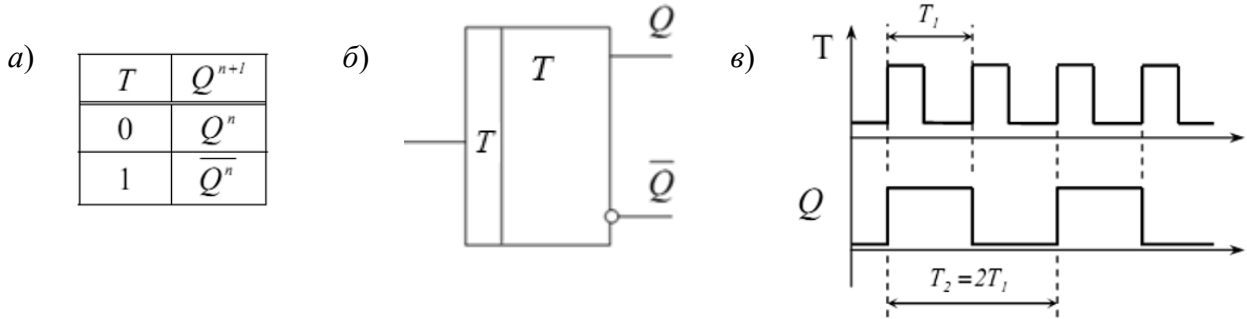


$a$  – условное графическое изображение;  $b$  – схема реализации  $D$ -триггера на базовых элементах И-НЕ;  $в$  – временная диаграмма, иллюстрирующая работу триггера

Рисунок 4.4 –  $D$ -триггер

$T$ -триггеры иначе называются счетными и применяются для построения счетчиков и делителей частоты. Такой триггер имеет один тактовый вход и его состояние меняется каждый раз при подаче счетного импульса  $T = 1$  и остается неизменным при  $T = 0$ . Таблица состояния триггера, его обозначение и диаграммы работы приведены на рисунке 4.5.

Как видно из диаграмм,  $T$ -триггер делит частоту входных импульсов в 2 раза. Для получения больших значений коэффициента деления частоты применяется каскадное соединение  $T$ -триггеров. Как самостоятельное изделие  $T$ -триггер в виде интегральной микросхемы не выпускается и при необходимости реализуется на базе других типов триггеров.

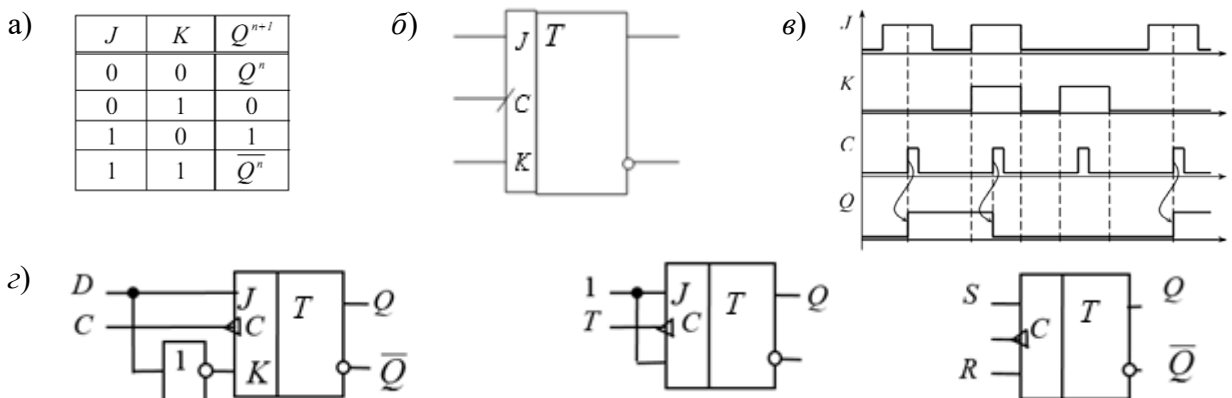


$a$  – таблица истинности;  $б$  – условное графическое изображение;  $в$  – временная диаграмма, иллюстрирующая работу триггера

Рисунок 4.5 –  $T$ -триггер

$JK$ -триггер имеет два управляющих входа:  $J$  (jump) и  $K$  (keep) и функционирует подобно  $RS$ -триггеру, но при этом не имеет запрещенных комбинаций управляющих сигналов.  $J$ -вход подобен  $S$ -входу, а  $K$ -вход подобен  $R$ -входу. При всех комбинациях сигналов на входе, кроме  $J = K = 1$ , он действует подобно  $RS$ -триггеру. При  $J = K = 1$  в каждом такте происходит «опрокидывание» триггера и его состояние меняется на противоположное (рисунок 4.6,  $a$ ). На рисунке 4.6,  $б$ ,  $в$  показаны условное обозначение  $JK$ -триггера с синхронизацией по переднему фронту и его временные диаграммы работы.

$JK$ -триггеры относятся к универсальным устройствам в отношении их применения как для построения других типов триггеров (рисунок 4.6,  $з$ ), так и более сложных устройств последовательного принципа действия. Во всех сериях цифровых интегральных микросхем выпускаются  $JK$ -триггеры с различными функциональными возможностями.



$a$  – таблица истинности;  $б$  – условное графическое изображение;  $в$  – временная диаграмма, иллюстрирующая работу триггера;  $з$  – реализация  $D$ -,  $T$ - и  $RS$ -триггеров на основе  $JK$ -триггера

Рисунок 4.6 –  $JK$ -триггер

## 4.2 Порядок выполнения работы

На основании заданной преподавателем амплитуды выходного сигнала  $U_m$ , максимальной частоты переключения  $f_{перек\ max}$ , коллекторного тока  $I_{кн} = 0,5 I_{кmax}$  рассчитать параметры всех элементов триггера (см. рисунок 4.2).

1 Исследовать работу симметричного триггера на базе биполярных транзисторов в программе Multisim (рисунок 4.7). Составить таблицу истинности триггера.

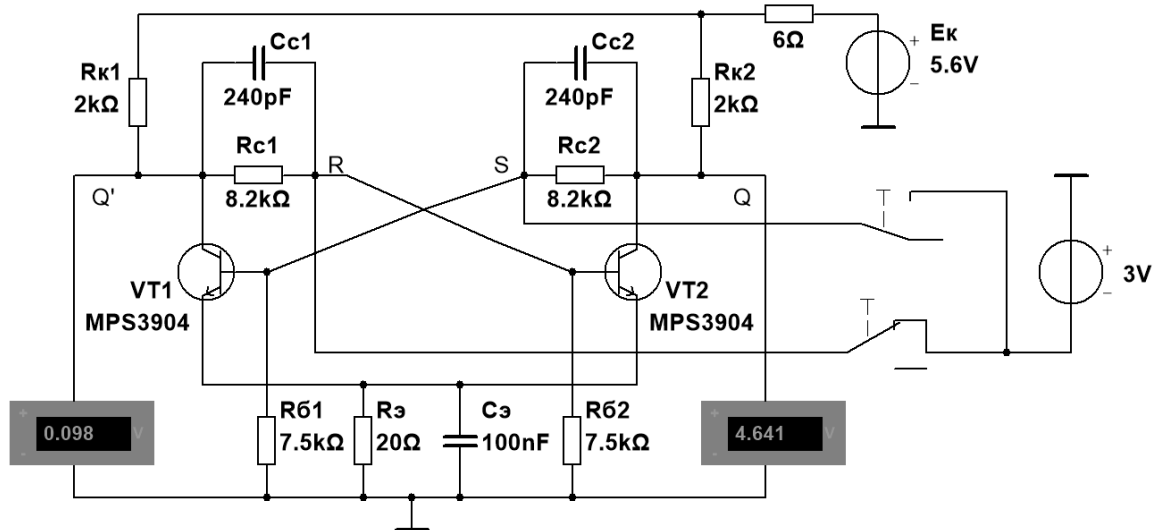


Рисунок 4.7 – Схема симметричного триггера с автоматическим смещением в среде Multisim

2 В программе Multisim собрать схему исследования  $RS$ -триггера на логических элементах И-НЕ, заданной преподавателем серии (рисунок 4.8).

Воспользовавшись порядком засвечивания пробников и задавая коды (00, 01, 10) состояния ключей SB1 и SB2 (входных сигналов), составить таблицу истинности  $RS$ -триггера.

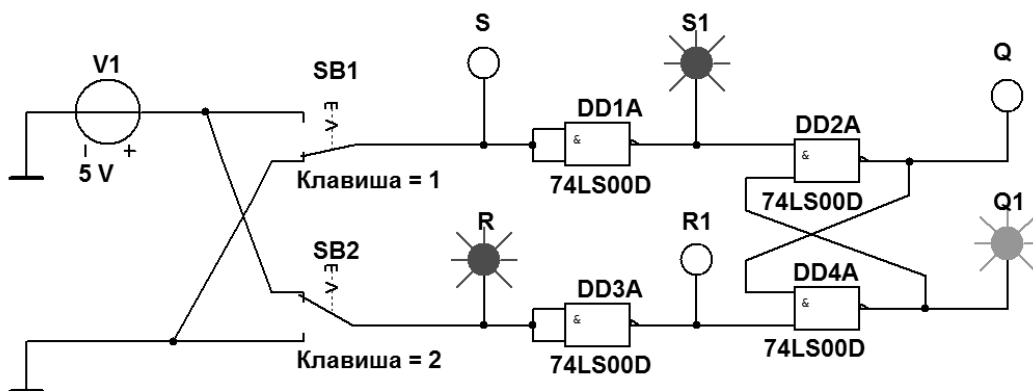


Рисунок 4.8 – Схема  $RS$ -триггера на логических элементах серии К561

3 В программе Multisim собрать схему испытания триггеров  $JK$  и  $D$  (рисунок 4.9) по заданию преподавателя. В схему включены: генератор XWG1 (частота  $f_2 = 500$  кГц); логический анализатор XLA1.

На  $\overline{1CLR}$ - и  $\overline{1PR}$ -входы триггеров подаётся постоянное напряжение 5 В (имитирующее сигнал 1) источника VCC, а на  $\overline{1CLK}$ -входы триггеров и на вход 1 анализатора XLA1 поступают тактовые импульсы с амплитудой 5 В и частотой 500 кГц, сформированные генератором E1.

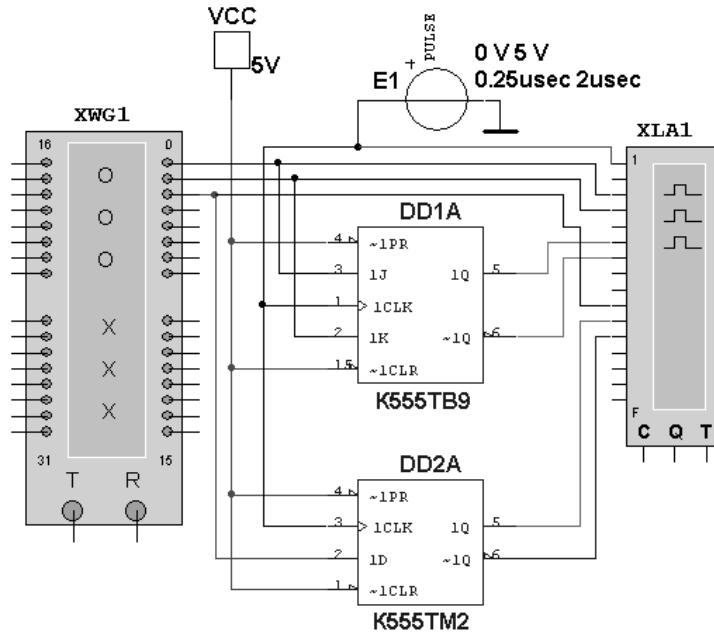


Рисунок 4.9 – Схема для исследования JK- и D-триггеров

С выходов 1 и 2 генератора XWG1 сигналы подаются на управляющие входы 1J и 1K JK-триггера, с выхода 3 – на вход 1D D-триггера.

В качестве примера введём в первые шесть ячеек памяти генератора трёхразрядные кодовые комбинации (рисунок 4.10): 010, 100, 111, 001, 100, 010.

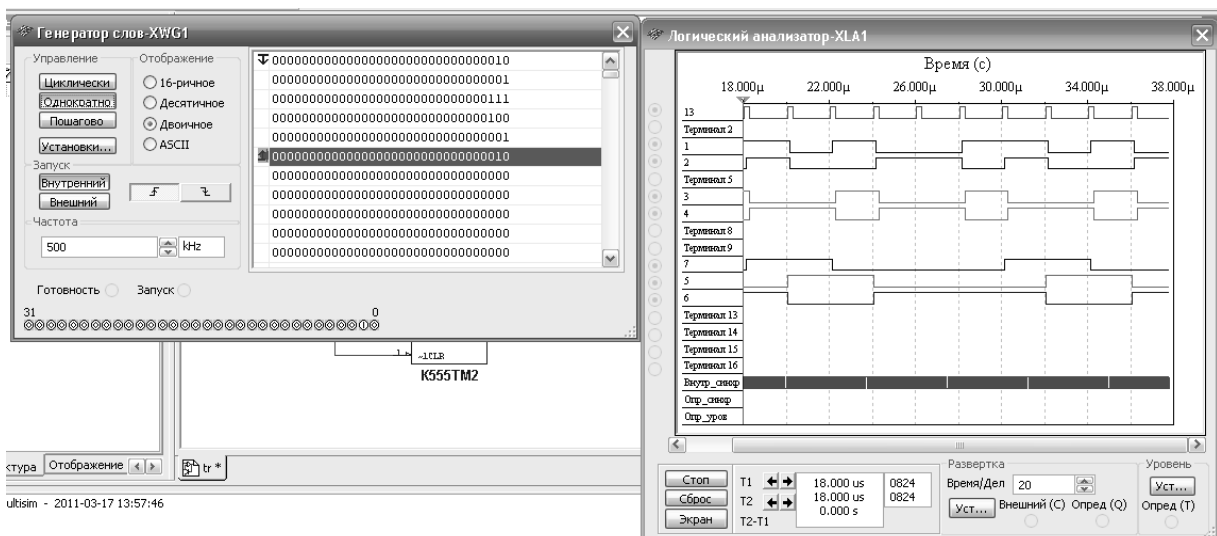


Рисунок 4.10 – Цифровые комбинации и временные диаграммы триггеров

Провести моделирование работы триггеров, по временным диаграммам составить и заполнить для них таблицы истинности.

4 Для экспериментального исследования заданного преподавателем  $D$ -триггера собрать схему, приведенную на рисунке 4.11.

Питание микросхемы осуществляется от источника НУ3002-D2 или выхода +5 В устройства сбора данных NI USB-6009. Сигналы входов триггеров  $S$ ,  $R$ ,  $D$  формируются цифровыми выходами P0.1...P0.3 устройства NI USB-6009, приём выходных сигналов  $Q$ ,  $\bar{Q}$  осуществляется цифровыми входами P1.0, P1.1.

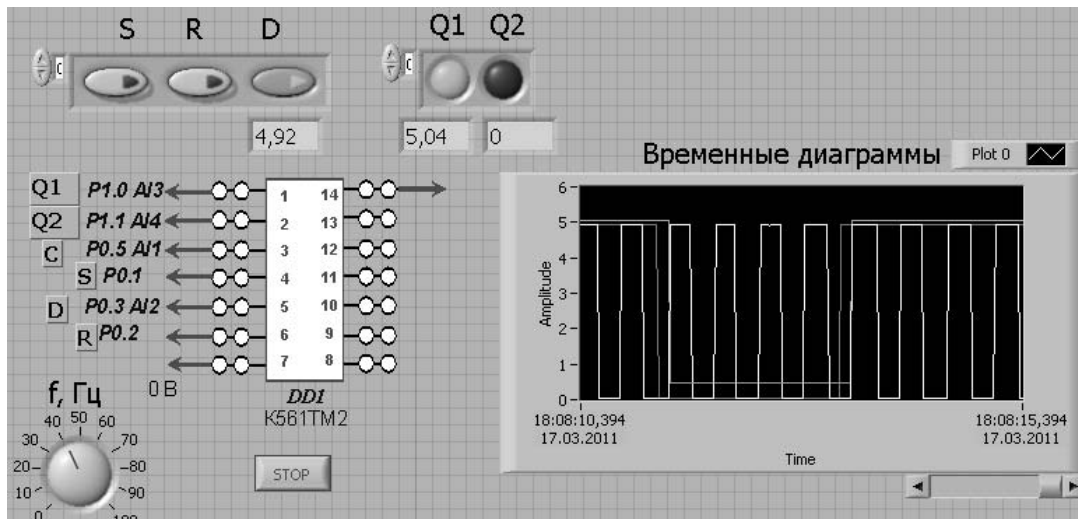


Рисунок 4.11 – Виртуальный прибор для экспериментального исследования  $D$ -триггера в среде LabVIEW

По полученным временным диаграммам составить таблицу истинности триггера, сравнить с результатами моделирования.

5 Сделать выводы по результатам работы.

### 4.3 Содержание отчёта

Отчёт по работе должен содержать: цель работы, схемы для моделирования работы триггеров в среде Multisim, блок-диаграммы виртуального прибора для экспериментального снятия характеристик и диалоговое окно, временные диаграммы и таблицы истинности триггеров, выводы по работе.

### Контрольные вопросы

- 1 Как обозначаются прямой и инверсный выходы триггеров?
- 2 Приведите условно-графическое обозначений тактируемого  $JK$ -триггера.
- 3 Дайте определение понятию триггер, приведите классификацию триггеров.

## 5 Лабораторная работа № 5. Исследование сумматоров

**Цель работы:** изучение принципа функционирования и характеристик сумматоров.

### 5.1 Общие сведения

Сумматоры – функциональные узлы, выполняющие сложение двоичных чисел.

Подразделяются на:

- комбинационные (нет памяти);
- накопительные.

Каждый из этих групп может быть последовательного и параллельного типа.

Сложение чисел в последовательных сумматорах осуществляется поразрядно последовательно во времени. В сумматорах параллельного типа сложение всех разрядов многоразрядных чисел происходит одновременно.

Как последовательные, так и параллельные сумматоры строятся на основе одноразрядных суммирующих схем. Сумматоры, выполненные в виде самостоятельных микросхем, являются комбинационными.

### 5.2 Порядок выполнения работы

Произведите суммирование двух двоичных чисел А и В, заданных преподавателем, на микросхеме К555ИМ3, аналог 74LS83 (рисунок 5.1).

1 Например, четырёхразрядные двоичные числа  $A = 1110$  ( $A_4 = 1, A_3 = 1, A_2 = 1, A_1 = 0$ ) и  $B = 0110$  ( $B_4 = 0, B_3 = 1, B_2 = 1, B_1 = 0$ ) поступают на соответствующие входы сумматора К555ИМ3 (74LS83) (см. рисунок 5.1). Логической единице соответствует уровень напряжения +5 В, логическому нулю – 0 В.

$$\begin{array}{rcccc}
 A_4 & A_3 & A_2 & A_1 & & 1 & 1 & 1 & 0 \\
 + & & & & & + & & & \\
 B_4 & B_3 & B_2 & B_1 & & 0 & 1 & 1 & 0 \\
 \hline
 C_4 & S_4 & S_3 & S_2 & S_1 & & 1 & 0 & 1 & 0 & 0
 \end{array}$$

DD1

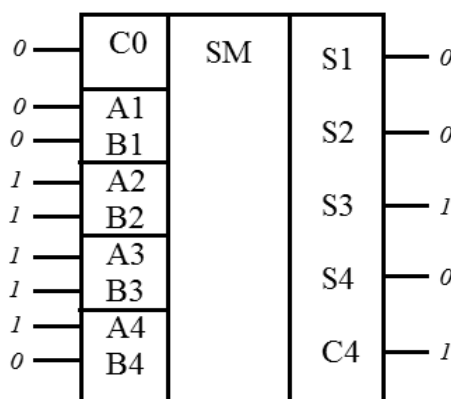


Рисунок 5.1 – Схема сумматора двух двоичных чисел

2 Результат сложения  $S=10100$  ( $C_4 = 1, S_4 = 0, S_3 = 1, S_2 = 0, S_1 = 0$ ) отображается в двоичном коде.  $C_4$  – перенос в старший разряд (используется для наращивания разрядности сумматора).

3 Для проверки правильности вычислений осуществите моделирование работы сумматора в среде Multisim.

4 Модель сумматора приведена на рисунке 5.2. Коды слагаемых  $A$  и  $B$  формируются с помощью интерактивных цифровых постоянных и отображаются посредством шестнадцатеричных индикаторов, как результат сложения  $S$  и перенос в старший разряд  $C$ .

5 Проверка:  $A (1110_2 = E_{16} = 14) + B (0110_2 = 6_{16} = 6) = S (10100_2 = 14_{16} = 20)$ . Результат сложения в двоичной, шестнадцатеричной и десятичной системах счисления соответствует действительности.

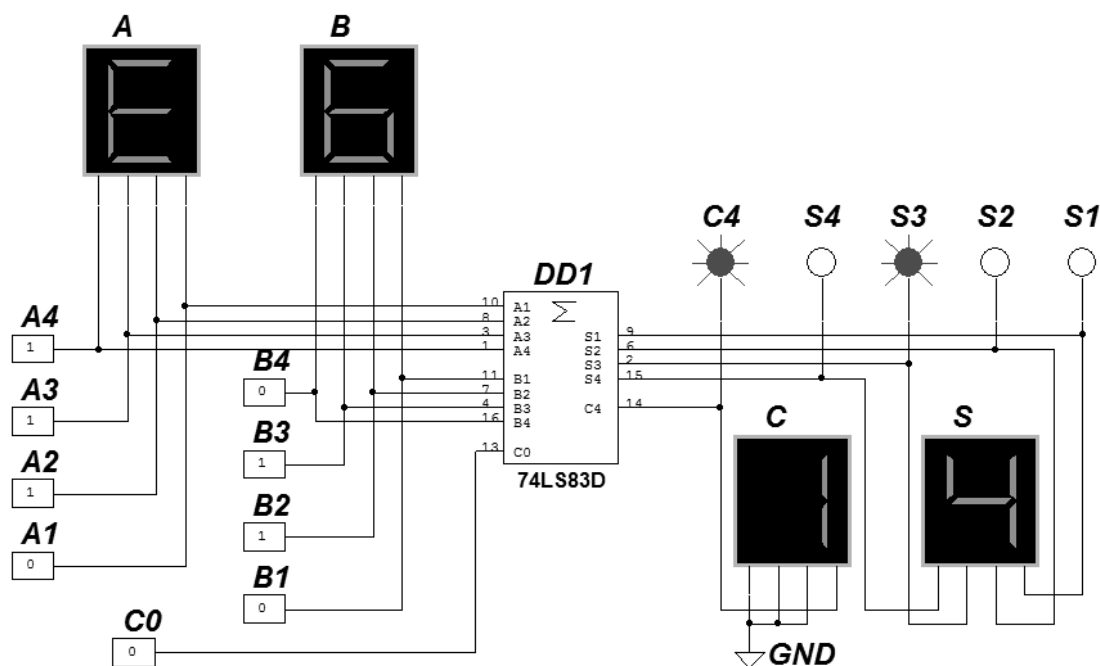


Рисунок 5.2 – Модель двоичного сумматора с отображением результата сложения на семисегментном индикаторе

### 5.3 Содержание отчёта

Отчёт по работе должен содержать: цель работы, результаты сложения двух двоичных чисел, схемы для моделирования работы сумматора в среде Multisim, выводы по работе.

#### Контрольные вопросы

- 1 Приведите классификацию сумматоров.
- 2 Опишите назначение выводов и работу сумматора К555ИМ3 (74LS83).
- 3 Как нарастить разрядность сумматора до 8 или 16?

## 6 Лабораторная работа № 6. Исследование работы регистров

**Цель работы:** изучение принципа функционирования и характеристик регистров

### 6.1 Общие сведения

*Регистр* – это последовательное устройство, предназначенное для записи, хранения и (или) сдвига информации, которая поступает и хранится в регистре в виде  $n$ -разрядных двоичных чисел. В общем случае регистр может выдавать информацию в последовательной или параллельной форме, преобразовывать прямой код числа в обратный (когда единицы заменяются нулями, а нули – единицами), и наоборот, а также выполнять логическое сложение и логическое умножение двоичных чисел.

В зависимости от способа ввода и вывода разрядов числа различают регистры параллельные, последовательные и параллельно-последовательные. В *параллельном* регистре ввод и вывод всех разрядов кодового числа осуществляется одновременно, в *последовательном* – разряды числа вводятся и выводятся последовательно, а в *параллельно-последовательном* регистре ввод числа производится в параллельной форме, а вывод – в последовательной, и наоборот.

Современная промышленность выпускает многие типы регистров в виде микросхем. В виде примера на рисунке 6.1 изображен четырехразрядный регистр (микросхема серии К155). При  $V_2 = 0$  разряды числа вводят последовательно в регистр через вход  $V_1$ ; синхроимпульсы, поступающие на вход  $C_1$ , обеспечивают сдвиг вправо разрядов числа; регистр работает как сдвигающий. В микросхеме предусмотрен также параллельный ввод всех разрядов числа по синхроимпульсу на входе  $C_2$  с входов  $D_1, \dots, D_4$  при  $V_2 = 1$ . В данном случае регистр работает как параллельный.

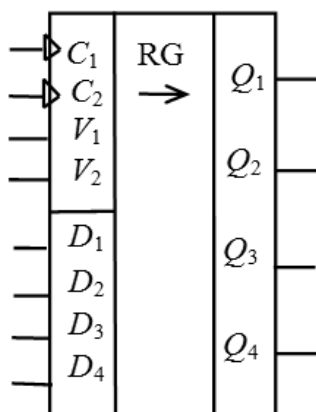


Рисунок 6.1 – Схема четырехразрядного регистра



## 6.2 Порядок выполнения работы

1 В программе Multisim собрать схему для испытания заданного преподавателем универсального регистра сдвига (рисунок 6.2) и установить в диалоговых окнах компонентов их параметры или режимы работы.

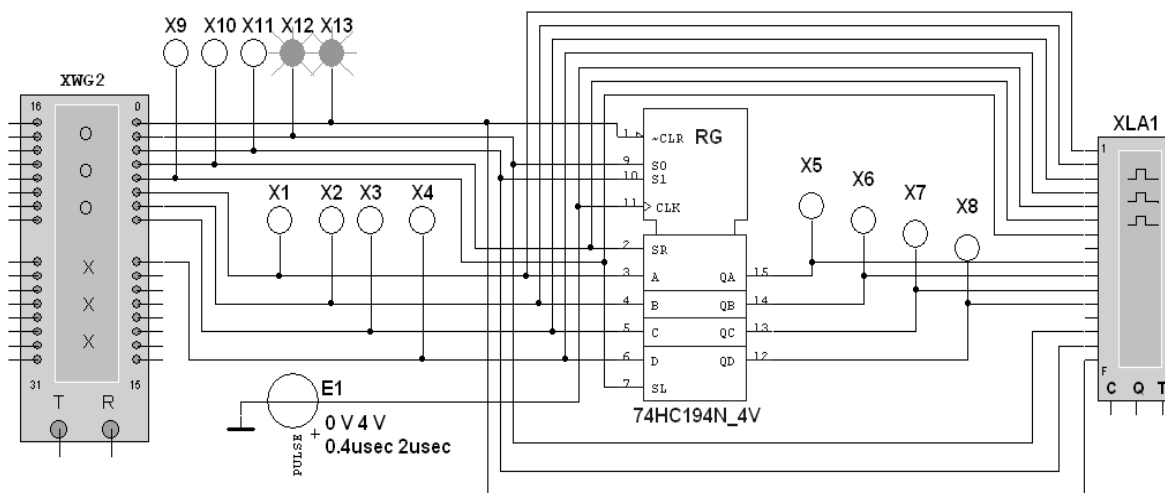


Рисунок 6.2 – Схема для моделирования работы универсального регистра сдвига

Универсальный 4-разрядный регистр сдвига 74HC194N\_4V (отечественные аналоги-микросхемы К230ИР2, КМ155ИР1, К176ИР3) способен сдвигать информацию и вправо, и влево, возможна как параллельная, так и последовательная запись данных. Регистр имеет параллельные входы (A, B, C, D), параллельные выходы (QA, QB, QC, QD), последовательные входы (SR, SL), цепь прямой очистки регистра по входу  $\overline{\text{CLR}}$  и управляющие входы (S0 и S1) – входы задания режима:

- S0 = 1, S1 = 1 – запись данных в регистр по входам A, B, C, D;
- S0 = 1, S1 = 0 – сдвиг данных влево в направлении от QA к QD;
- S0 = 0, S1 = 1 – сдвиг данных вправо в направлении от QD к QA;
- S0 = 0, S1 = 0 – входы регистра недоступны (блокировка).

2 Составить план исследования параллельного регистра сдвига, заполнив ячейки памяти генератора слова XWG1 (рисунок 6.3) на основе правил функционирования регистра 74HC194\_4V, отражённых в таблице 6.1.

3 Снять временные диаграммы работы универсального регистра сдвига (рисунок 6.4), определить режимы его работы.

Таблица 6.1 – Правила функционирования регистра 74НС194\_4V

Вход										Выход			
Сброс	Старт	Режим		Последовательный вход		Параллельный вход							
$\overline{\text{CLR}}$	$\overline{\text{CLX}}$	S0	S1	SR	SL	A	B	C	D	QA	QB	QC	QD
0	x	x	x	x	x	x	x	x	x	0	0	0	0
1	0	x	x	x	x	x	x	x	x	QA <sub>0</sub>	QB <sub>0</sub>	QC <sub>0</sub>	QD <sub>0</sub>
1	↑	1	1	x	x	A	B	C	D	A	B	C	D
1	↑	1	0	1	x	x	x	x	x	1	QA <sub>n</sub>	QB <sub>n</sub>	QC <sub>n</sub>
1	↑	1	0	0	x	x	x	x	x	0	QA <sub>n</sub>	QB <sub>n</sub>	QC <sub>n</sub>
1	↑	0	1	x	1	x	x	x	x	QB <sub>n</sub>	QC <sub>n</sub>	QD <sub>n</sub>	1
1	↑	0	1	x	0	x	x	x	x	QB <sub>n</sub>	QC <sub>n</sub>	QD <sub>n</sub>	0
1	x	0	0	x	x	x	x	x	x	QA <sub>0</sub>	QB <sub>0</sub>	QC <sub>0</sub>	QD <sub>0</sub>

*Примечание* – 0 – низкий уровень; 1 – высокий уровень; x – любое состояние; ↑ – положительный перепад (с низкого уровня на высокий); QA<sub>0</sub>, QB<sub>0</sub>, QC<sub>0</sub>, QD<sub>0</sub> – стационарные уровни A, B, C, D до установки указанных состояний на входах; QA<sub>n</sub>, QB<sub>n</sub>, QC<sub>n</sub>, QD<sub>n</sub> – соответственно уровни A, B, C, D перед началом прохождения фронта самого последнего тактового импульса

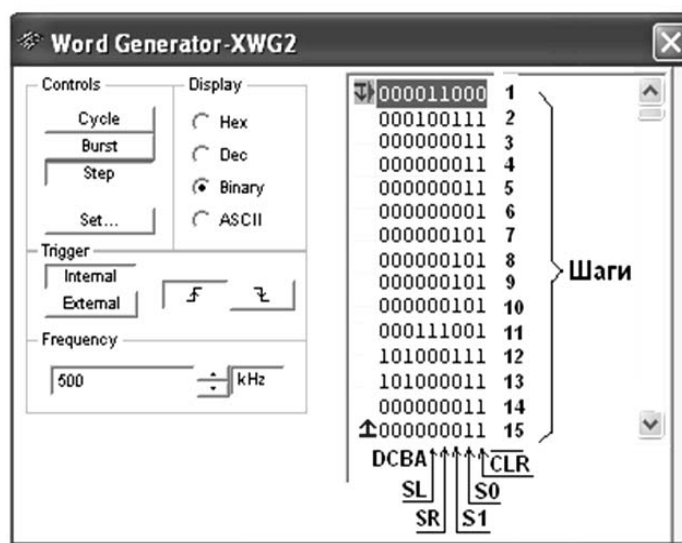


Рисунок 6.3 – Программа функционирования генератора слова XWG1

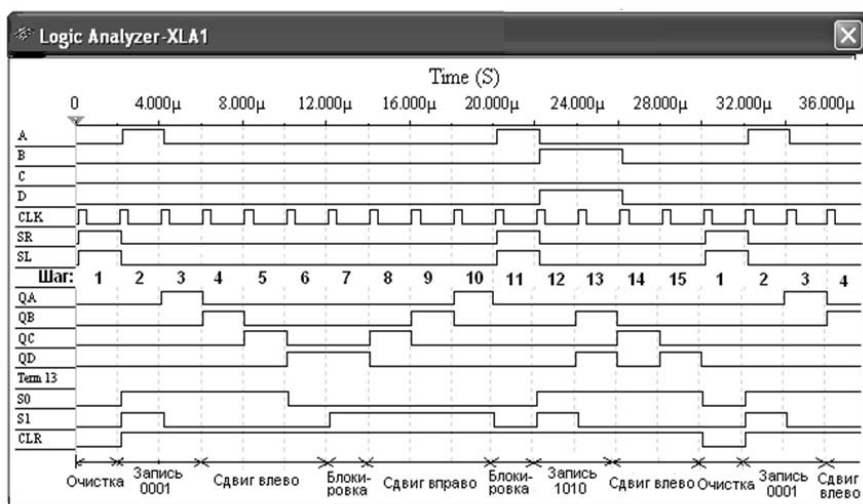


Рисунок 6.4 – Временные диаграммы работы универсального регистра сдвига

### 6.3 Содержание отчёта

Отчёт по работе должен содержать: цель работы, схемы для моделирования работы регистра в среде Multisim, временные диаграммы работы регистра, выводы по работе.

#### Контрольные вопросы

- 1 Приведите назначение и классификацию регистров.
- 2 Как осуществлять запись и сдвиг данных в универсальном регистре?
- 3 Как записать информацию в параллельный регистр?

## 7 Лабораторная работа № 7. Исследование схем цифроаналогового и аналого-цифрового преобразователей

**Цель работы:** исследовать принцип работы цифроаналоговых (ЦАП) и аналого-цифровых (АЦП) преобразователей.

### 7.1 Общие сведения

#### Цифроаналоговые преобразователи (ЦАП).

ЦАП предназначены для преобразования цифровых сигналов в аналоговые. Такое преобразование необходимо, например, при восстановлении аналогового сигнала, предварительно преобразованного в цифровой для передачи на большое расстояние или хранения (таким сигналом, в частности, может быть звук). Другой пример использования такого преобразования – получение управляющего сигнала при цифровом управлении устройствами, режим работы которых определяется непосредственно аналоговым сигналом (что, в частности, имеет место при управлении двигателями).

К основным параметрам ЦАП относят разрешающую способность, время установления, погрешность нелинейности и др.

Разрешающая способность – величина, обратная максимальному числу шагов квантования выходного аналогового сигнала. Время установления –

интервал времени от подачи кода на вход до момента, когда выходной сигнал войдет в заданные пределы, определяемые погрешностью. Погрешность нелинейности – максимальное отклонение графика зависимости выходного напряжения от напряжения, задаваемого цифровым сигналом, по отношению к идеальной прямой во всем диапазоне преобразования.

Как и рассматриваемые ниже аналого-цифровые преобразователи (АЦП), ЦАП являются «связующим звеном» между аналоговой и цифровой электроникой. Существуют различные принципы построения ЦАП (рисунок 7.1).

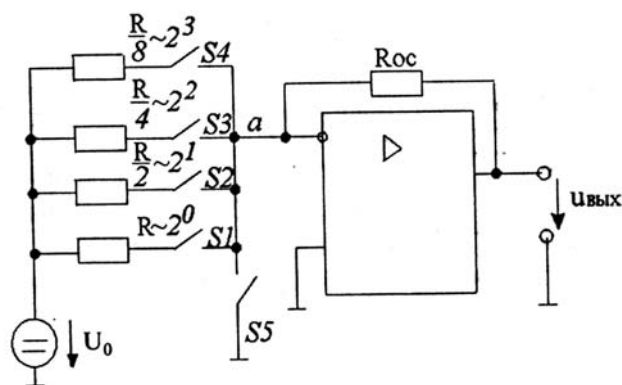


Рисунок 7.1 – Схема ЦАП с суммированием весовых токов.

Ключ S5 замкнут только тогда, когда разомкнуты все ключи S1...S4 (при этом  $U_{вых} = 0$ ).  $U_0$  – опорное напряжение. Каждый резистор во входной цепи соответствует определенному разряду двоичного числа.

По существу этот ЦАП – инвертирующий усилитель на основе операционного усилителя. Так, если замкнут один ключ S1, то  $U_{вых} = -U_0 R_{oc} / R$ , что соответствует единице в первом и нулям в остальных разрядах.

Из анализа схемы следует, что модуль выходного напряжения пропорционален числу, двоичный код которого определяется состоянием ключей S1...S4. Токи ключей суммируются в точке «а», причем токи различных ключей различны (имеют разный «вес»). Это и определяет название схемы.

Из вышеизложенного следует, что

$$\begin{aligned} U_{вых} &= -U_0 \frac{R_{oc}}{R} S_1 - U_0 \frac{R_{oc}}{R/2} S_2 - U_0 \frac{R_{oc}}{R/4} S_3 - U_0 \frac{R_{oc}}{R/8} S_4 = \\ &= -U_0 \frac{R_{oc}}{R} (8S_4 + 4S_3 + 2S_2 + S_1), \end{aligned}$$

где  $S_j, j = 1, 2, 3, 4$  принимает значение 1, если соответствующий ключ замкнут, и 0, если ключ разомкнут.

Состояние ключей определяется входным преобразуемым кодом.

Наиболее распространёнными являются ЦАП серий микросхем 572, 594, 1108, 1118 и др.

### Аналого-цифровые преобразователи (АЦП).

АЦП – это устройства, предназначенные для преобразования аналоговых сигналов в цифровые. Для такого преобразования необходимо осуществить квантование аналогового сигнала, т. е. мгновенные значения аналогового сигнала ограничить определенными уровнями, называемыми уровнями квантования (рисунок 7.2).

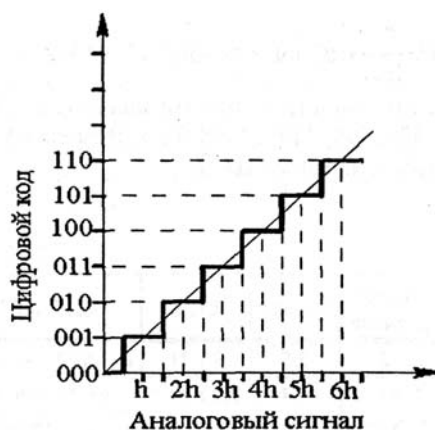


Рисунок 7.2 – Характеристика идеального квантования

Квантование представляет собой округление аналоговой величины до ближайшего уровня квантования, т. е. максимальная погрешность квантования равна  $+0,5h$  ( $h$  – шаг квантования).

К основным характеристикам АЦП относят число разрядов, время преобразования, нелинейность и др. Число разрядов – количество разрядов кода, связанного с аналоговой величиной, которое может вырабатывать АЦП. Часто говорят о разрешающей способности АЦП, которую определяют величиной, обратной максимальному числу кодовых комбинаций на выходе АЦП. Так, 10-разрядный АЦП имеет разрешающую способность  $(2^{10} = 1024)^{-1}$ , т. е. при шкале АЦП, соответствующей 10 В, абсолютное значение шага квантования не превышает 10 мВ. Время преобразования – интервал времени от момента заданного изменения сигнала на входе АЦП до появления на его выходе соответствующего устойчивого кода.

Характерными методами преобразования являются следующие: параллельное преобразование аналоговой величины и последовательное преобразование.

Рассмотрим АЦП с параллельным преобразованием входного аналогового сигнала (рисунок 7.3). По параллельному методу входное напряжение одновременно сравнивают с  $n$  опорными напряжениями и определяют, между какими двумя опорными напряжениями оно лежит. При этом результат получают быстро, но схема оказывается достаточно сложной.

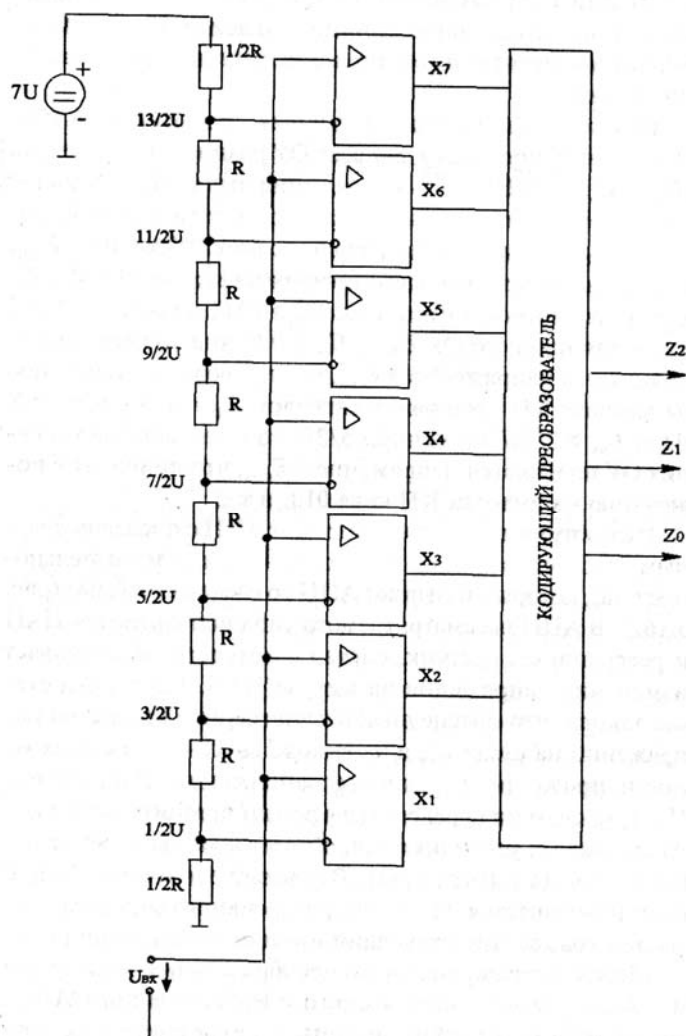


Рисунок 7.3 – Структурная схема АЦП с параллельным преобразованием

Рассмотрим принцип действия такого АЦП. При  $U_{вх} = 0$ , поскольку для всех операционных усилителей разность напряжений ( $U_+ - U_-$ )  $< 0$ , напряжения на выходе всех ОУ равны  $-E_{нш}$ , а на выходах кодирующего преобразователя (КП)  $Z_0, Z_1, Z_2$  устанавливаются нули. Если  $U_{вх} > 0,5 U$ , но меньше  $3/2 U$ , лишь для нижнего ОУ  $U_+ - U_- > 0$  и лишь на его выходе появляется напряжение  $+E_{пш}$ , что приводит к появлению на выходах КП следующих сигналов:  $Z_0 = 1, Z_1 = Z_2 = 0$ . Если  $U_{вх} > 3/2 U$ , но меньше  $5/2 U$ , то на выходе двух нижних ОУ появляется напряжение  $+E_{нш}$ , что приводит к появлению на выходах КП кода 010, и т. д.

Рассмотрим конкретный вариант АЦП с последовательным преобразованием входного сигнала (последовательного счета), который называют АЦП со следящей связью (рисунок 7.4). В АЦП рассматриваемого типа используются ЦАП и реверсивный счетчик, сигнал с которого обеспечивает изменение напряжения на выходе ЦАП. Настройка схемы такова, что обеспечивается примерное равенство напряжений на входе  $U_{вх}$  и на выходе ЦАП– $U$ . Если входное напряжение  $U_m$  больше напряжения  $U$  на выходе ЦАП, то счетчик переводится в режим прямого счета и код на его выходе увеличивается, обеспечивая увеличение напряжения на выходе ЦАП. В момент

равенства  $U_{вх}$  и  $U_{счет}$  прекращается и с выхода реверсивного счетчика снимается код, соответствующий входному напряжению.

Наиболее распространёнными являются АЦП серий микросхем 572, 1107, 1138 и др.

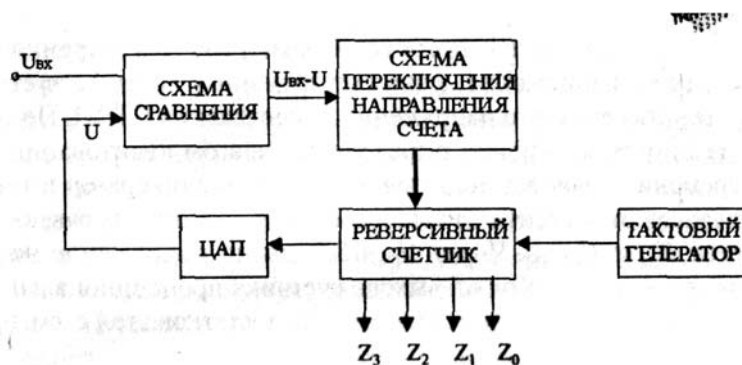


Рисунок 7.4 – Структурная схема АЦП с последовательным преобразованием

## 7.2 Порядок выполнения работы

1 На основании заданной преподавателем разрядности построить схемы ЦАП и АЦП.

2 Произвести моделирование работы ЦАП и АЦП в программе Multisim, собрав схему, приведенную на рисунке 7.5. Номиналы резисторов обратной связи (ОС) внести в таблицу 7.1 для ЦАП.

Таблица 7.1 – Номиналы резисторов ОС

$R1$ , кОм	$R2$ , кОм	$R3$ , кОм	$Rn$ , кОм	$R_{ос}$ , кОм
				2

3 По результатам расчётов заполнить таблицы 7.1 (ЦАП) и 7.2 (АЦП).

4 Сделать вывод

Таблица 7.2 – Результаты моделирования ЦАП

Числовое значение на входе	D3	D2	D1	D0	$U_{вых}$ , В
01	0	0	0	1	
02	0	0	1	0	
...	...	...	...	...	...
15	1	1	1	1	

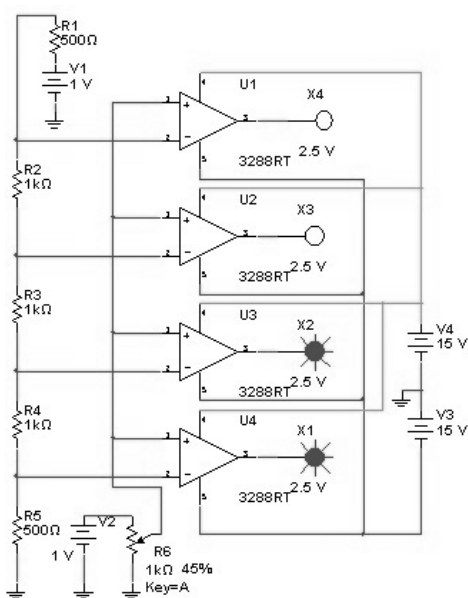
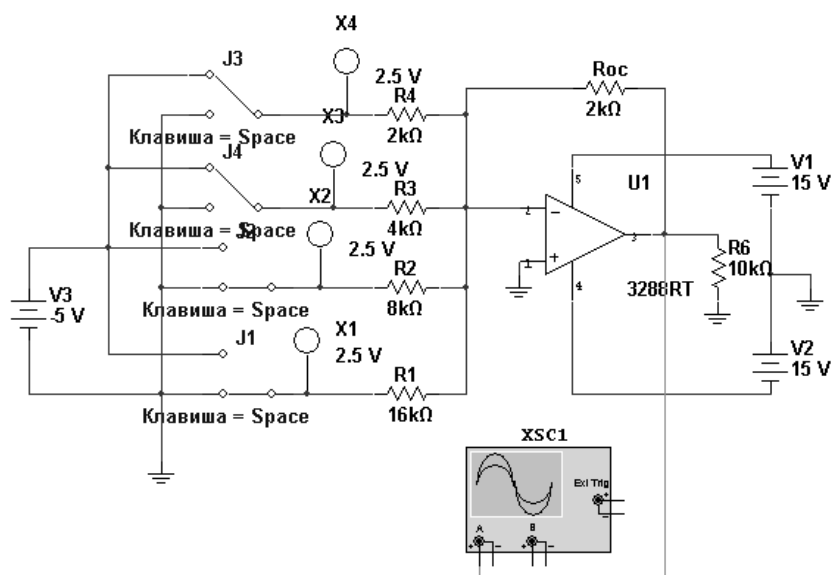


Рисунок 7.5 – Моделирование ЦАП и АЦП

Таблица 7.3 – Результаты моделирования АЦП

Напряжение на входе, В	Числовое значение на выходе
	0
	1
	2
	3
	4

### 7.3 Содержание отчёта

Отчёт по работе должен содержать: цель работы, задание к работе, схемы для моделирования работы ЦАП Multisim, полученные осциллограммы напряжений, результаты моделирования в виде таблицы, выводы по работе.



### Контрольные вопросы

- 1 Опишите принцип работы и области применения ЦАП.
- 2 Приведите основные параметры ЦАП.
- 3 Дайте определение АЦП и назовите его основные характеристики.
- 4 Объясните особенности параллельного и последовательного АЦП.

## 8 Лабораторная работа № 8. Исследование арифметико-логических устройств

**Цель работы:** исследовать работу арифметико-логического устройства.

### 8.1 Общие сведения

Арифметико-логическое устройство (АЛУ) – блок процессора, который служит для выполнения арифметических и логических преобразований над двоичными числами, называемыми операндами. В качестве примера АЛУ рассмотрим микросхему К155ИПЗ. Она предназначена для обработки четырёхразрядных двоичных чисел. Разрядность обрабатываемых чисел может быть увеличена путем использования нескольких таких микросхем. Её условное графическое обозначение на электрических принципиальных схемах приведено на рисунке 8.1.

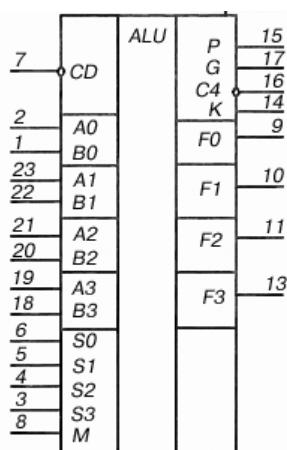


Рисунок 8.1 – Условное графическое обозначение на электрических принципиальных схемах микросхемы АЛУ К155ИПЗ

Назначение выводов этой микросхемы следующее:

- 1 – информационный вход младшего разряда  $B_0$ ;
- 2 – информационный вход младшего разряда  $A_0$ ;
- 3...6 – вход «выбор функции» ( $S_3, S_2, S_1, S_0$ );
- 7 – вход «перенос»  $CD$ ;
- 8 – вход «режим работы» ( $M$ );
- 9 – выход «образование функции» младшего разряда ( $F_0$ );
- 10,11 – выход «образование функции» ( $F_1, F_2$ );
- 12 – общий;
- 13 – выход «образование функции» старшего разряда ( $F_3$ );
- 14 – выход «сравнения» ( $K$ );

- 15 – выход «распространения переноса» (P);
- 16 – выход «перенос» (C4);
- 17 – выход «образование переноса» (G);
- 18, 19 – информационные входы старшего разряда (B3, A3);
- 22, 23 – информационные входы (B1, A1);
- 24 – напряжение питания.

На входы A0...A3 (активные уровни – низкие) подается четырехразрядное слово A (операнд A), на входы B0...B3 – аналогичное слово (операнд B). Конкретный вид операции, выполняемой микросхемой, задается пятиразрядным кодом на входах M, S3, S2, S1, S0. Всего это АЛУ способно выполнить  $2^5 = 32$  операций: 16 логических (И, И-НЕ, ИЛИ, ИЛИ-НЕ, исключающее ИЛИ и др.) и 16 арифметических и арифметико-логических (сложение, вычитание, удвоение, сравнение чисел и ряд иных).

Если на входе M напряжение высокого уровня, запрещаются все внутренние переносы и АЛУ будет исполнять логические операции поразрядно. Арифметические операции выполняются, когда на входе M установлен низкий потенциал, который является также разрешающим сигналом для переноса между разрядами. Выходной результат формируется с учетом состояния входа переноса CD. Оба сигнала переноса – входной CD и выходной C4 – инверсны относительно сигналов на входах A и B, т. е. когда слова A и B – в положительной логике, сигнал переноса низкого уровня на соответствующем выводе, а в отрицательной логике – наоборот.

Результат выполнения одной из 32 выбранных функций АЛУ появляется на выходах F0...F3 (активные уровни – низкие). На выходе C4 выделяется сигнал переноса. Этот сигнал подается на вход CD следующего АЛУ при составлении схем АЛУ большей разрядности.

Микросхема имеет три вспомогательных выхода: A = B – выход компаратора, отображающий равенство операндов, G – выход генерации переноса, P – выход распространения переноса. Выходы G и P имеют активные низкие уровни.

На выходе компаратора, т. е. на выходе отображения эквивалентности  $A = B$ , будет напряжение высокого уровня, если на всех четырех выходах F оказались высокие логические уровни. Этот выход применяется для отображения логической эквивалентности четырехбитных операндов, если АЛУ работает в режиме вычитания. Сигнал выхода  $A = B$  можно использовать совместно с сигналом C4 для выяснения соотношения:  $A > B$  или  $A < B$ .

Операнды A и B, подлежащие обработке, могут быть представлены в положительной или отрицательной логике. Таблицы истинности для каждого варианта логики различны. В таблице 8.1 описаны операции при высоких активных уровнях операндов A и B. В ней арифметическими знаками обозначены логические функции, арифметическими знаками прописью обозначены арифметические операции.

Таблица 8.1 – Таблица истинности АЛУ К155ИПЗ при высоких активных уровнях операндов А и В

S3	S2	S1	S0	Выходные данные		
				Логические функции (M = 1)	Арифметические операции (M = 0)	
					CD = 1 (без переноса)	CD = 0 (с переносом)
0	0	0	0	$\bar{A}$	A	A плюс 1
0	0	0	1	$\bar{A} + \bar{B}$	A+B	(A+B) плюс 1
0	0	1	0	$\bar{A} + B$	A+ $\bar{B}$	(A+ $\bar{B}$ ) плюс 1
0	0	1	1	0	минус 1 (доп. до 2-х)	0
0	1	0	0	$\overline{AB}$	A плюс A $\bar{B}$	A плюс A $\bar{B}$ плюс 1
0	1	0	1	$\bar{B}$	(A+B) плюс A $\bar{B}$	(A+B) плюс A $\bar{B}$ плюс 1
0	1	1	0	$A \oplus B$	A минус B минус 1	A минус B
0	1	1	1	$A\bar{B}$	A $\bar{B}$ минус 1	A $\bar{B}$
1	0	0	0	$\bar{A} + B$	A плюс AB	A плюс AB плюс 1
1	0	0	1	$\overline{A \oplus B}$	A плюс B	A плюс B плюс 1
1	0	1	0	B	(A+ $\bar{B}$ ) плюс AB	(A+ $\bar{B}$ ) плюс A плюс 1
1	0	1	1	AB	AB минус 1	AB
1	1	0	0	1	A плюс A*	A плюс A плюс 1
1	1	0	1	A+ $\bar{B}$	(A+B) плюс A	(A+B) плюс A плюс 1
1	1	1	0	A+B	(A+ $\bar{B}$ ) плюс A	(A+ $\bar{B}$ ) плюс A плюс 1
1	1	1	1	A	A минус 1	A

## 8.2 Порядок выполнения работы

1 Составьте схему в среде Multisim в соответствии с рисунком 8.2.

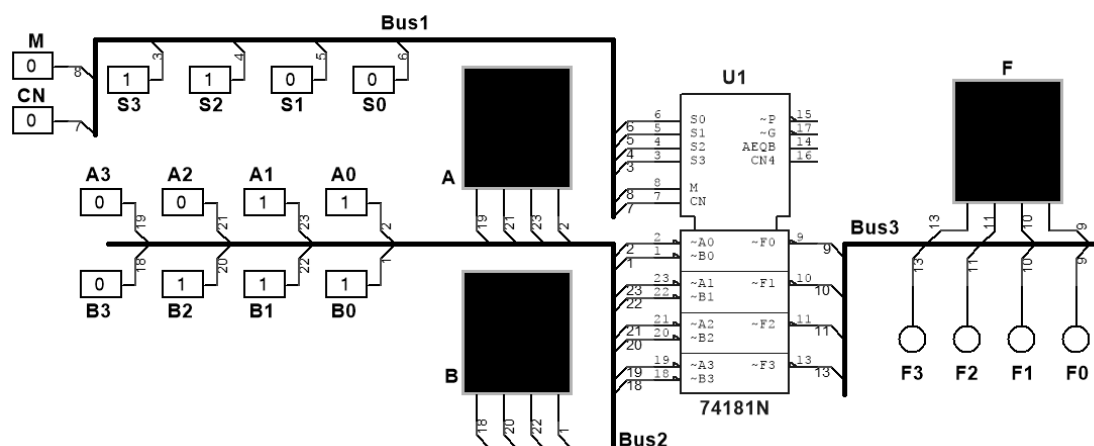


Рисунок 8.2 – Схема в Multisim для исследования АЛУ на основе микросхемы 74181N (К155ИПЗ)

2 Включите моделирование. Изменяя положение клавиш А0...А3, В0...В3, сформируйте операнды А и В (по заданию преподавателя). Прodelайте с операндами А и В логические и арифметические операции в соответствии с таблицей 8.1.

3 Сделайте выводы по результатам работы.

### **8.3 Содержание отчета**

Отчет о проделанной работе должен содержать: название работы, цель работы, таблицу с результатами логических и арифметических операций над заданными операндами А и В, выводы.

#### **Контрольные вопросы**

- 1 Опишите назначение выводов исследуемой микросхемы АЛУ.
- 2 В каких режимах может работать микросхема К155ИП3?
- 3 Какие логические операции может выполнять микросхема К155ИП3?
- 4 Какова разрядность чисел, над которыми осуществляются операции микросхемой К155ИП3?

### **Список литературы**

- 1 **Гальперин, М. В.** Электротехника и электроника: учебник / М. В. Гальперин. – 2-изд. – Москва: Форум; Инфра-М, 2017. – 480 с.
- 2 Введение в Multisim [Электронный ресурс]. – Режим доступа: [http://of.bsu.ru/e-book/mikroprochess/Manual\\_multisim\\_rus.pdf](http://of.bsu.ru/e-book/mikroprochess/Manual_multisim_rus.pdf). – Дата доступа: 02.04.2021.
- 3 **Марченко, А. Л.** Лабораторный практикум по электротехнике и электронике в среде MULTISIM + CD: учебное пособие / А. Л. Марченко, С. В. Освальд. – Москва: ДМК Пресс, 2010. – 448 с.
- 4 **Кузовкин, В. А.** Схемотехническое моделирование электрических устройств в Multisim: учебное пособие / В. А. Кузовкин, В. В. Филатов. – Старый Оскол: ТНТ, 2017. – 336 с.
- 5 **Суранов, А. Я.** LabVIEW 8.20. Справочник по функциям / А. Я. Суранов. – Москва: ДМК Пресс, 2007. – 536 с.
- 6 **Браммер, Ю. А.** Импульсные и цифровые устройства: учебник / Ю. А. Брамер, И. Н. Пашук. – 7-е изд., перераб. и доп. – Москва: Высшая школа, 2003. – 351 с.
- 7 **Иванов, В. Н.** Электроника и микропроцессорная техника: учебник / В. Н. Иванов. – Москва: Академия, 2016. – 288 с.
- 8 **Марченко, А. Л.** Основы электроники: учебное пособие для вузов / А. Л. Марченко. – Москва: ДМК Пресс, 2008. – 296 с.
- 9 **Лачин, В. И.** Электроника: учебное пособие / В. И. Лачин, Н. С. Савелов. – 7-е изд., перераб. и доп. – Ростов-на-Дону: Феникс, 2009. – 703 с.
- 10 **Бладыко, Ю. В.** Электроника. Практикум: учебное пособие / Ю. В. Бладыко. – Минск: ИВЦ Минфина, 2016. – 190 с.: ил.