

ТЕХНИЧЕСКАЯ ДИАГНОСТИКА И КОНТРОЛЕПРИГОДНЫЕ СИСТЕМЫ

УДК 004.052.42+681.518.5

Д. В. Ефанов, докт. техн. наук

*ООО НТЦ «Комплексные системы мониторинга», Санкт-Петербург
Высшая школа транспорта Института машиностроения, материалов и транспорта
Санкт-Петербургского политехнического университета Петра Великого
Кафедра «Автоматика, телемеханика и связь на железнодорожном транспорте»,
Российский университет транспорта, Москва*

Г. В. Осадчий, канд. техн. наук

ООО НТЦ «Комплексные системы мониторинга», Санкт-Петербург

И. В. Лесковец, канд. техн. наук

*Кафедра «Транспортные и технологические машины»,
Белорусско-Российский университет, Могилёв*

МЕТОДЫ СИНТЕЗА САМОПРОВЕРЯЕМЫХ КОМБИНАЦИОННЫХ УСТРОЙСТВ АВТОМАТИКИ НА ОСНОВЕ ЛОГИЧЕСКОГО ДОПОЛНЕНИЯ ДО РАВНОВЕСНОГО КОДА «1 ИЗ 4»

Статья посвящена развитию метода логического дополнения для синтеза самопроверяемых цифровых устройств и систем. Освещены особенности использования равновесного кода «1 из 4» для синтеза схем встроенного контроля комбинационных логических устройств по методу логического дополнения. Описаны базовые структуры организации схем встроенного контроля по методу логического дополнения до равновесного кода «1 из 4». Рассмотрено несколько способов организации схем контроля. Первый подразумевает контроль устройств с выделением «четверок» выходов и использование преобразования трех выходов из четырех в базовой структуре. Еще один способ организации схемы контроля по методу логического дополнения до равновесного кода подразумевает поиск «троек» выходов и дополнение их до четырехразрядного кодового слова кода «1 из 4» путем непосредственного подключения выхода блока контрольной логики к входу тестера без преобразования сигнала. Третий способ связан с применением базовой структуры со схемой предварительного сжатия сигналов от объекта диагностирования и контролем уменьшенного числа выходов. В статье приводятся результаты экспериментальных исследований для каждого из способов организации схемы встроенного контроля, оценены показатели сложности технической реализации структур, а также вероятность обнаружения ошибок на выходах объекта диагностирования при внесении одиночных константных неисправ-

ностей. Метод логического дополнения позволяет во многих случаях синтезировать более простые самопроверяемые устройства, чем при использовании метода дублирования с высокими показателями обнаружения ошибок на выходах объекта диагностирования.

Комбинационное устройство, схема встроенного контроля, метод логического дополнения, равновесный код «1 из 4», самопроверяемая структура, дублирование, оптимизация схем контроля, схемы сжатия сигналов

DOI: 10.20295/2412-9186-2021-7-4-645-668

Введение

В процессе разработки и конструирования надежных и безопасных систем управления ответственными технологическими процессами и их компонентов широко применяются методы синтеза устройств с самопроверяемыми и контролепригодными структурами [1–5]. При самопроверяемой реализации некоторого устройства требуются дополнительные аппаратные затраты, связанные либо с внесением избыточности в сам исходный объект диагностирования, либо с реализацией дополнительных средств встраиваемого контроля [6–10]. Внесение избыточности осуществляется в соответствии с определенными принципами, позволяющими фиксировать некоторые заранее установленные диагностические параметры. Например, часто осуществляется контроль принадлежности формируемых на выходах исходного устройства векторов некоторому избыточному коду [11] либо каждой отдельной функции – определенному классу функций алгебры логики [12].

При использовании избыточных кодов в процессе построения самопроверяемых устройств исходный объект (объект диагностирования) снабжается схемой встроенного контроля (СВК), позволяющей косвенно устанавливать наличие неисправностей по результатам вычислений рабочих функций [1]. В качестве основы такой схемы контроля используются, как правило, коды, ориентированные на обнаружение ошибок, а не на их исправление. Это обусловлено меньшей их избыточностью [13] и, как следствие, меньшими аппаратными затратами на реализацию СВК. Часто для этих целей применяют коды с суммированием и их различные модификации [14], а также равновесные коды [15].

Исследования ученых во всем мире в области синтеза СВК показывают, что во многих случаях применение кодов с обнаружением ошибок позволяет синтезировать самопроверяемые устройства, имеющие меньшую, чем при дублировании, избыточность [16–19]. При этом в процессе синтеза ориентируются не на полное множество неисправностей, а на конкретную их модель, например, на модель «временной задержки» или «константной неисправности».

Данная работа освещает результаты исследований в области синтеза самопроверяемых комбинационных устройств на основе метода логического дополнения с контролем вычислений по равновесному коду «1 из 4» (1/4-коду).

1. Метод логического дополнения

Метод логического дополнения, в отличие от традиционного метода вычисления контрольных разрядов, подразумевает специальное преобразование всех или части рабочих функций объекта диагностирования. Кодовый вектор, формируемый на рабочих выходах, преобразуется в кодовое слово заранее выбранного кода [20]. Возможно преобразование рабочих функций в функции, принадлежащие определенному классу [21]. Следует отметить, что возможна и комбинация этих диагностических параметров [22]. Одной из первых работ в области синтеза СВК по методу логического дополнения является [23], где описывается метод самодвойственного паритета, позволяющий осуществлять контроль комбинационных устройств с помощью одной функции паритета, имеющей самодвойственный вид. При высокой обнаруживающей способности метод позволяет синтезировать СВК со средней сложностью 14,6 % от сложности объекта диагностирования (на примере представленной в работе выборки), что даже меньше, чем при использовании классического метода контроля по паритету (35,4 %).

В ряде публикаций, например, в [24], развивается метод логического дополнения для организации СВК по разделимым кодам. Однако наибольшее количество работ в этой области связано с использованием для организации СВК неразделимых равновесных кодов. Основное внимание уделено именно равновесным кодам, поскольку для них гораздо проще обеспечить самопроверяемость СВК [20]. Кроме того, тестеры равновесных кодов имеют довольно простые структуры [25].

На рисунке 1 приведены структуры организации самопроверяемых устройств по методу логического дополнения (рабочие выходы устройств, идущие к внешним устройствам и системам, не показаны). Объект диагностирования $F(x)$, снабженный выходами f_1, f_2, \dots, f_m , дополняется схемой контроля в составе блока контрольной логики $G(x)$, каскада элементов преобразования сигналов (они образуют блок логического дополнения), а также самопроверяемого тестера TSC .

В структуре на рисунке 1, а) преобразуются не все выходы устройства $F(x)$, а лишь часть из них. Таким способом может быть организован контроль по разделимым кодам. Тогда некоторые выходы устройства $F(x)$ не преобразуются и объединяются в информационный вектор длиной r , а некоторые функции преобразуются и формируют контрольный вектор длиной $m-r$. Например, если для контроля устройства с $m=8$ выходами используется код с суммированием по модулю $M=4$ (код Боуза-Лина, [26]), то первые $r=6$ выходов можно не преобразовывать, а оставшиеся $m-r=2$ выхода преобразуются в функции, формирующие контрольные векторы кода Боуза-Лина. Может быть использовано и большее количество преобразуемых функций, в т. ч. корректирующих значения разрядов информационных векторов. Факт соответствия формируемо-

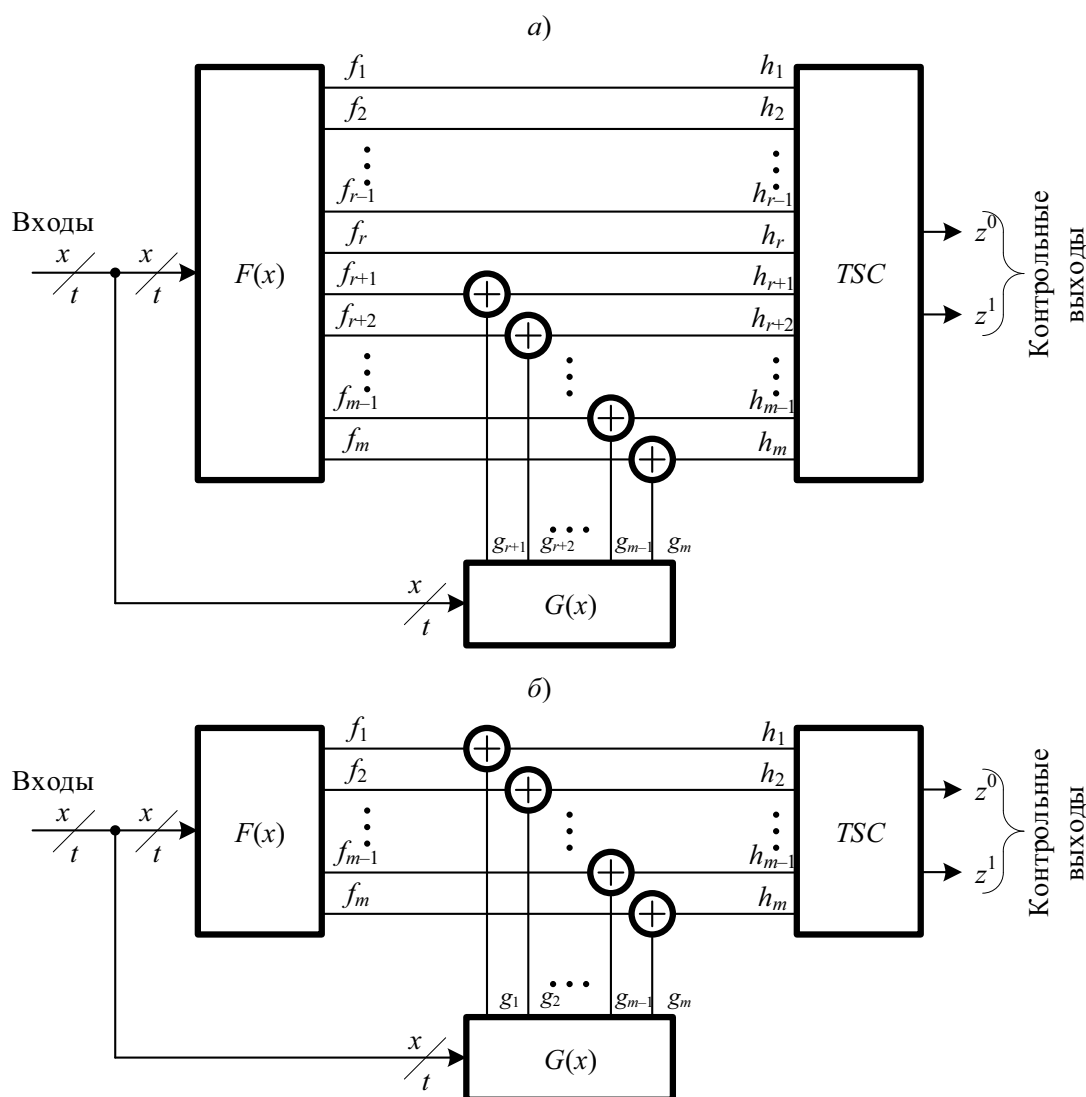


Рис. 1. Структуры организации схем встроенного контроля по методу логического дополнения: а) с частичным дополнением; б) с дополнением всех функций

го кодового слова заранее установленному коду фиксируется схемой тестера, имеющего, как правило, два выхода. При формировании правильного кодового слова и исправности самого тестера на его выходах z^0 и z^1 возникает парафазный сигнал $\langle 01 \rangle$ или $\langle 10 \rangle$. В случае неисправности самого тестера либо несоответствия кодового слова выбранному коду на выходах тестера формируется непарафазный сигнал $\langle 00 \rangle$ или $\langle 11 \rangle$.

В структуре на рисунке 1, б) преобразуются все выходы f_1, f_2, \dots, f_m устройства $F(x)$. Можно сказать, что это обобщенный случай. Такая организация самопроверяемого устройства позволяет преобразовывать вектор, формируемый на выходах объекта диагностирования, в кодовое слово любого блочного равномерного кода, в т. ч. равновесного.

Среди равновесных кодов наиболее эффективным оказывается использование кодов с малой длиной кодовых слов ($m < 6$). Для таких кодов тестеры

имеют достаточно простые структуры и требуют малого количества тестовых комбинаций для полной проверки. Кроме того, требуется небольшое количество элементов преобразования, для которых также необходимо обеспечение формирования полного множества тестовых комбинаций. Среди таких кодов целесообразно использовать $1/3$, $1/4$, $2/4$, $1/5$ и $2/5$ коды. Применению этих кодов при организации контроля комбинационных схем по методу логического дополнения посвящено большое количество работ (в частности соавторов настоящей статьи) [27–36].

При организации СВК многовыходных устройств по равновесным кодам с малой длиной кодовых слов выходы устройства $F(x)$ разбиваются на группы с контролем их по выбранным кодам с последующим синтезом подсхем контроля для каждой группы и объединением их контрольных выходов на входах самопроверяемого компаратора [37]. Например, устройство с $m=8$ выходами можно контролировать по двум группам выходов на основе $1/4$ -кода, а можно контролировать так: по группе из трех выходов на основе $1/3$ -кода, по группе из четырех выходов на основе $1/4$ -кода и один выход дублировать, и т. д.

Особое место среди всех равновесных кодов занимает $1/4$ -код. Он образуется четырьмя кодовыми комбинациями $\{0001, 0010, 0100, 1000\}$. Для полной проверки тестера требуется подача на его входы в процессе функционирования устройства хотя бы по разу каждой из приведенных комбинаций. Сам тестер равновесного кода имеет довольно простую структуру. С позиции обнаружения ошибок у $1/4$ -кода имеется следующее преимущество перед другими кодами. Им не обнаруживаются только $2C_4^2 = 12$ двукратных ошибок в кодовых словах. При этом все эти ошибки связаны с искажением одного единичного и одного нулевого разрядов (так называемые симметричные ошибки [14]). Все другие двукратные ошибки, а также одно-, трех- и четырехкратные ошибки $1/4$ -кодом обнаруживаются. Подобной особенностью обладает любой $1/m$ -код, но с ростом m растет и количество необнаруживаемых двукратных симметричных ошибок. Можно также отметить и $1/3$ -код, имеющий меньшее, чем $1/4$ -код, количество необнаруживаемых ошибок, однако при большом числе выходов устройства число «троек» выходов окажется большим, чем число «четверок», что потребует синтеза большего количества подсхем контроля и, соответственно, приведет к усложнению СВК.

Остановим внимание читателя на использовании при синтезе СВК по методу логического дополнения именно $1/4$ -кода.

2. Использование $1/4$ -кода при организации схем встроенного контроля по методу логического дополнения

При использовании $1/4$ -кода для организации СВК базовой является структура, приведенная на рисунке 2. Для преобразования любого кодового вектора $\langle f_4 f_3 f_2 f_1 \rangle$ в кодовое слово $\langle h_4 h_3 h_2 h_1 \rangle$, принадлежащего $1/4$ -коду, достаточно из-

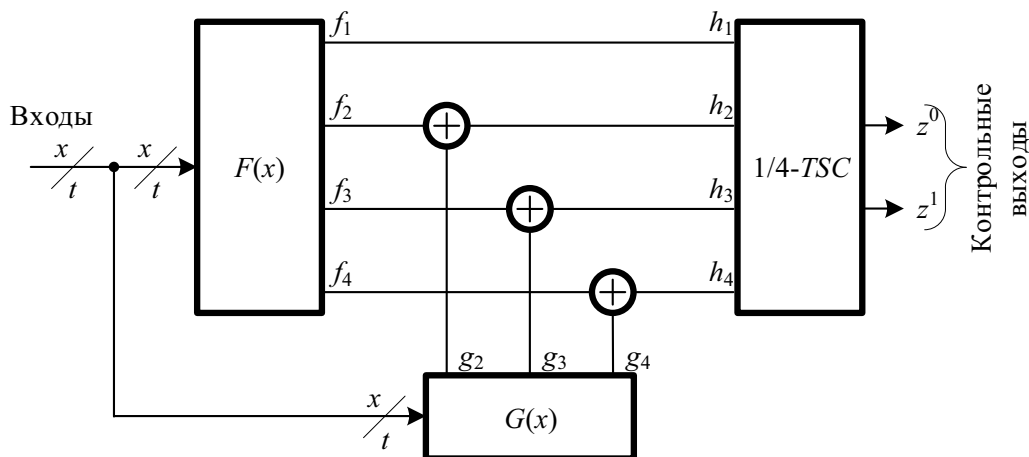


Рис. 2. Базовая структура организации схемы встроенного контроля по 1/4-коду

менить значения только трех функций из четырех. Поэтому в блоке логического дополнения используется трехвыходной блок контрольной логики $G(x)$ и три двухвходовых сумматора по модулю два в каскаде коррекции сигналов.

При использовании базовой структуры, приведенной на рисунке 2, требуется обеспечить формирование хотя бы по разу каждого из кодовых слов 1/4-кода на входах тестера, а также хотя бы по разу каждого из векторов $\{00, 01, 10, 11\}$ для полной проверки каждого из элементов сложения по модулю два [38].

Способы вычисления функций, формируемых блоком $G(x)$, описаны в [28, 29, 34]. Одним из них является вычисление функций по формулам [29]:

$$\begin{cases} g_2 = f_1 f_2; \\ g_3 = (f_1 \vee f_2) f_3; \\ g_4 = (f_1 \vee f_2 \vee f_3) f_4 \vee \overline{f_1 \vee f_2 \vee f_3 \vee f_4}. \end{cases} \quad (1)$$

В этом случае функции, формируемые на входах тестера 1/4-TSC, будут вычисляться по формулам:

$$\begin{cases} h_1 = f_1; \\ h_2 = f_2 \oplus g_2; \\ h_3 = f_3 \oplus g_3; \\ h_4 = f_4 \oplus g_4. \end{cases} \quad (2)$$

Блок контрольной логики $G(x)$ синтезируется путем оптимизации структуры, представленной на рисунке 3, стандартными средствами оптимизации логических структур [39, 40].

Для подтверждения эффективности применения 1/4-кода при организации СВК авторами были проведены эксперименты с контрольными комбинацион-

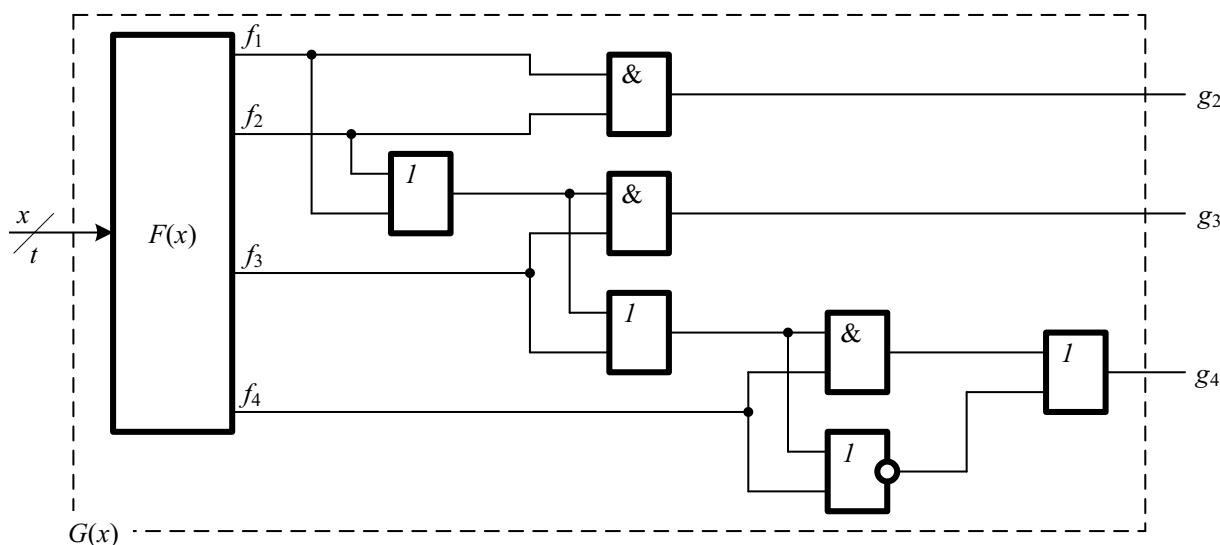


Рис. 3. Структура реализации блока контрольной логики до оптимизации

ными схемами, широко применяемыми для тестирования методов технической диагностики цифровых устройств [41]. Результаты экспериментов для некоторых комбинационных схем сведены в таблицу 1.

В таблице 1 приведены следующие данные. Для каждой схемы $F(x)$ указано число входов (n_{in}) и выходов (n_{out}), а также сложность $L_{F(x)}$ технической реализации в условных единицах системы SIS [42]. Указано число q , характеризующее число выделяемых на выходах устройства «четверок» для отдельного контроля. При этом если число выходов устройства не было кратно четырем, не вошедшие в «четверки» выходы дублировались. Пример такой реализации СВК показан на рисунке 4. Устройство с $m=10$ выходами контролируется путем выделения двух групп по 4 выхода в каждой, выходы же f_9 и f_{10} контролируются путем дублирования с использованием стандартной схемы сжатия парафазных сигналов TRC [43].

При синтезе СВК по 1/4-коду был использован следующий способ.

Алгоритм синтеза структуры СВК по методу логического дополнения с выделением «четверок» выходов:

1. Определяется величина $L_{F(x)}$.
2. Выбирается первая «четверка» выходов устройства $F(x) - \{f_1^1, f_2^1, f_3^1, f_4^1\}$.
3. Реализуется структура, приведенная на рисунке 4, после оптимизации которой получается блок контрольной логики $G^1(x)$.
4. Проверяется условие $L_{G^1(x)} \leq L_{F(x)}$? Если «нет», то выбирается другая «четверка» выходов путем замены одного или нескольких выходов в выбранной «четверке». Если «да», то фиксируется структура полученного блока $G^1(x)$.
5. Выбирается вторая «четверка» выходов устройства $F(x) - \{f_1^2, f_2^2, f_3^2, f_4^2\}$.
6. Реализуется структура, приведенная на рисунке 4, что дает блок $G^2(x)$. Выходы данного блока оптимизируются совместно с выходами блока $G^1(x)$.

Таблица 1. Результаты экспериментов с контролем групп выходов на основе 1/4-кода по «четверкам» выходов

№	Схема	n_{in}/n_{out}	$L_{F(x)}$	q	$L_{G(x)}$	$\varphi, \%$	L_{CED}	$\mu, \%$	$p(\eta), \%$
1	cmb	16/4	80	1	33	41,3	141	70,5	93,9
2	b1	3/4	15	1	9	60	52	74,3	72,9
3	rd84	8/4	139	1	132	95	299	94,9	85,9
4	cm138a	6/8	41	2	30	73,2	139	79,9	100
5	misex1	18/7	87	1	80	92	234	92,5	99,8
6	pclе	19/9	102	2	100	98	295	95,7	96,7
7	x2	10/7	69	1	66	95,7	198	90,3	99,5
8	sao2	10/4	172	1	157	91,3	357	93	94,3
9	z4ml	7/4	74	1	48	64,9	150	79,7	96,7
10	5xp1	7/10	169	2	156	92,3	419	90,1	98,3
11	cm42a	4/10	41	2	34	82,9	169	84,5	99,6
12	cu	14/11	90	2	76	84,4	273	87,6	98,7
13	decod	5/16	62	4	33	53,2	243	74,4	99,8
14	ldd	9/19	114	4	127	111,4	464	96,3	97,3
15	sct	19/15	109	3	114	104,6	394	98,2	99,7
16	unreg	36/16	152	4	171	112,5	507	101,4	99,3
17	cht	47/36	262	9	463	176,7	1181	120,5	94,2
18	ttt2	24/21	300	5	304	101,3	853	99	95,4
19	tcon	17/16	49	4	69	140,8	302	102,7	98,7
20	term1	34/10	230	2	209	90,9	533	92,2	94,7
21	count	35/16	210	4	220	104,8	614	99,6	97,6
22	c8	28/18	214	4	231	107,9	655	100,8	98,3
23	lal	26/19	139	4	148	106,5	510	99,4	99,7
24	x1	51/35	456	8	548	120,2	1435	105,9	95,4
25	vda	17/39	810	9	926	114,3	2218	104,8	97,2
26	pm1	16/13	69	3	59	85,5	237	80,1	95,7
Среднее значение:					—	96,2	—	92,6	96,1

7. Проверяется условие $L_{G^1(x)+G^2(x)} \leq L_{F(x)}$? Если «нет», то выбирается другая «четверка» выходов путем замены одного или нескольких выходов в выбранной «четверке». Если «да», то фиксируется структура полученного блока $G^1(x) + G^2(x)$.

8. Процедуры повторяются до тех пор, пока возможно выделение «четверок» выходов блока $F(x)$.

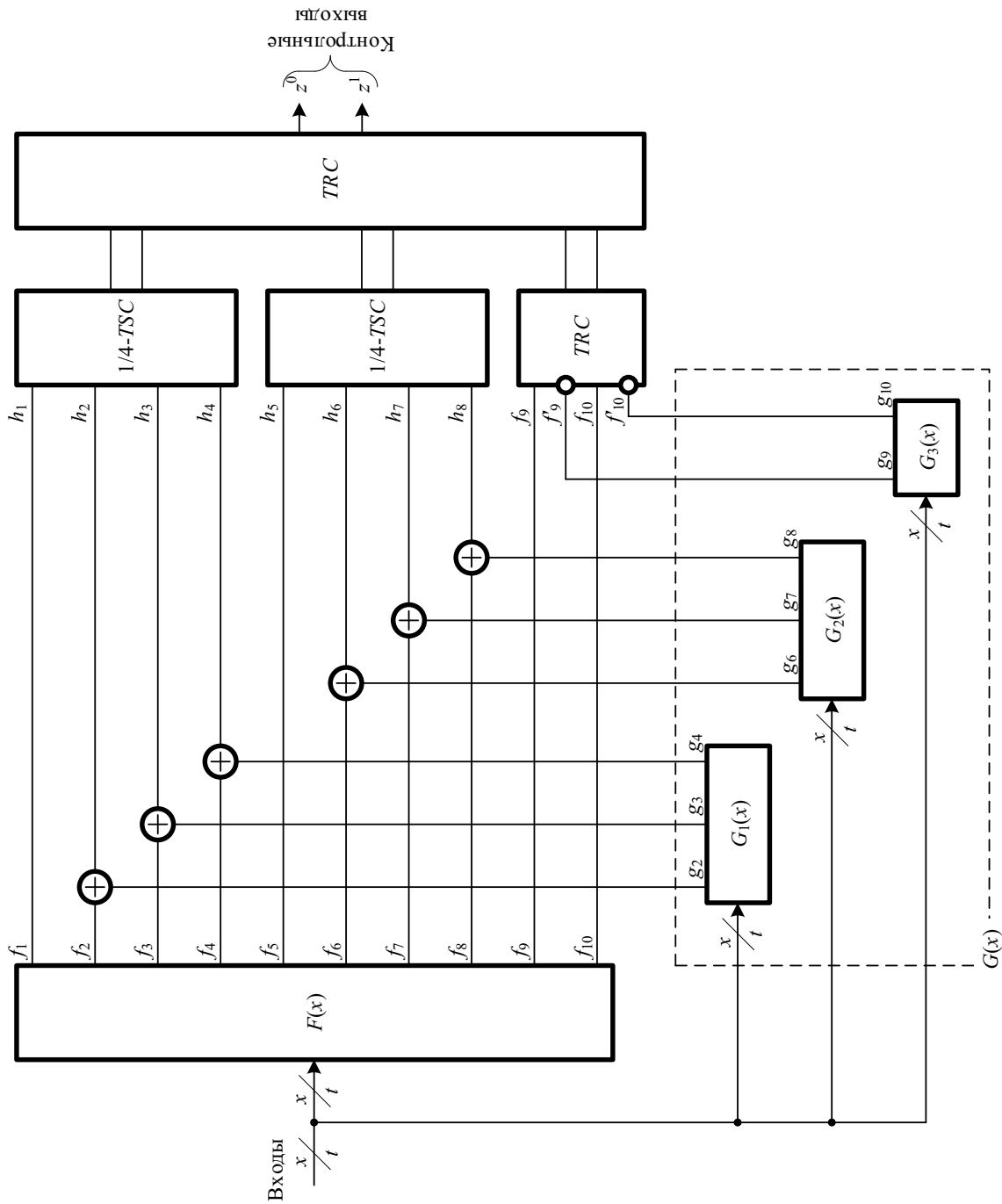


Рис. 4. Структура организации схемы встроенного контроля для многовыходного устройства до оптимизации блока контрольной логики

9. Выходы, которые не вошли в «четверки», контролируются по методу дублирования.

10. Полученный многовыходной блок контрольной логики $G(x)$ оптимизируется.

Эффективность применения рассматриваемого подхода оценивалась по сравнению с использованием дублирования для этих целей. В столбцах $L_{G(x)}$ и L_{CED} приведены показатели сложности технической реализации блока $G(x)$ и устройства со схемой встроенного контроля. В столбцах φ и μ приведены значения относительных показателей для оценки сложности технической реализации СВК:

$$\varphi = \frac{L_{G(x)}}{L_{F(x)}} \cdot 100\%, \quad (3)$$

$$\mu = \frac{L_{CED}}{L_D} \cdot 100\%, \quad (4)$$

где L_D – показатель сложности технической реализации системы дублирования для заданного устройства.

Среднее значение величины $\mu=92,6\%$. При этом для 8 комбинационных схем из 26 получено значение $\mu < 90\%$ и для 14 комбинационных схем – значение $\mu < 95\%$. Устройства со схемами встроенного контроля, синтезированными по методу логического дополнения, в большинстве случаев оказываются более простыми, чем при использовании метода дублирования. Не такое значительное уменьшение сложности по сравнению с дублированием связано с высокими показателями сложности реализации блоков $G(x)$. Среднее значение показателя $\varphi = 96,2\%$. Для 15 комбинационных схем были получены более простые устройства $G(x)$, чем исходное устройство $F(x)$, но для остальных 11 схемы $G(x)$ оказались более сложными, что и повлияло на общую оценку.

В ходе исследований была также определена вероятность обнаружения неисправности η на множестве из 1000 псевдослучайных входных наборов, подаваемых на блок $F(x)$. В схему вносились одиночные контактные неисправности и осуществлялось их тестирование по методу логического дополнения. Вероятность обнаружения ошибки на выходах устройств $F(x)$ рассчитывалась по формуле:

$$p(\eta) = \frac{N(\eta) - N^0(\eta)}{N(\eta)} \cdot 100\%, \quad (5)$$

где $N(\eta)$ – число псевдослучайных входных наборов, на которых ошибка, вызванная неисправностью объекта диагностирования, транслируется хотя бы на один из его выходов; $N^0(\eta)$ – число псевдослучайных входных наборов,

на которых ошибка, вызванная неисправностью объекта диагностирования, не обнаружилась при контроле на основе рассматриваемого метода.

Средние значения показателя $p(\eta)$ составили 96,1 %, что является неплохим показателем. Для 20 комбинационных схем из 26 был получен показатель вероятности обнаружения ошибок более 95 % – это свидетельство высокой эффективности описываемого подхода.

3. Синтез схем встроенного контроля при использовании 1/4-кода с уменьшенным числом элементов преобразования

Еще одним способом организации СВК по методу логического дополнения до 1/4-кода является использование базовой структуры, приведенной на рисунке 5 [44]. Ее особенность в том, что осуществляется контроль трехвыходного устройства по 1/4-коду, две рабочие функции преобразуются, а четвертая функция в контролируемой «четверке» получается прямым подключением одного из выходов блока $G(x)$ к входу 1/4-TSC. Такой подход позволяет упростить процедуру построения самопроверяемого устройства. При этом сложность тестера 1/4-кода для базовой структуры оказывается меньшей, чем для 1/3-кода, и соизмеримой с ней при реализации тестера 1/3-кода для нескольких групп «троек» [20].

Функции, формируемые блоком $G(x)$, вычисляются по формулам:

$$\begin{cases} g_2 = f_1 f_2; \\ g_3 = (f_1 \vee f_2) f_3; \\ g_4 = f_1 \vee f_2 \vee f_3. \end{cases} \quad (6)$$

Схема определения четвертой функции h_4 на входе тестера получается путем оптимизации структуры, приведенной на рисунке 6.

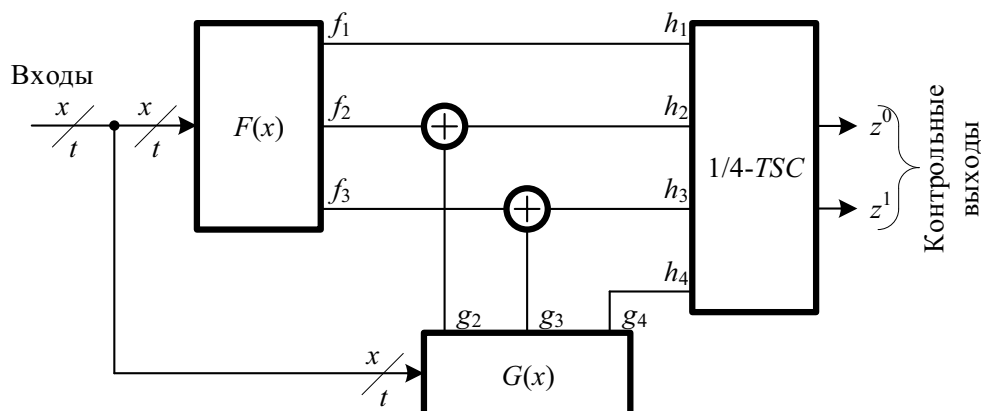


Рис. 5. Базовая структура организации схемы встроенного контроля трехвыходного устройства по 1/4-коду

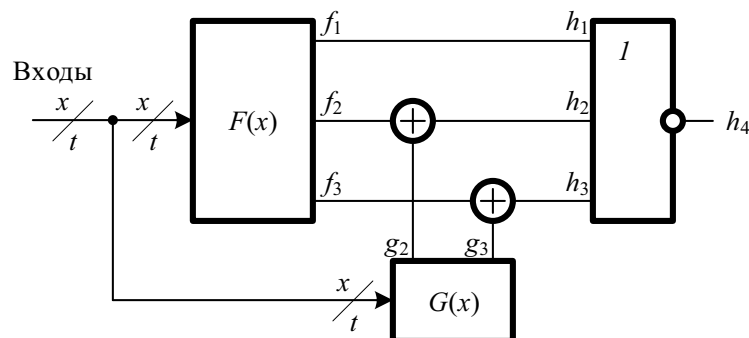


Рис. 6. Структура для определения значения функции h_4 до оптимизации

Процесс синтеза СВК по представленной на рисунке 7 структуре производился по сформированному выше алгоритму – за тем лишь исключением, что выбирались не «четверки» выходов, а «тройки». Если оставались один или два выхода, не включенные в «тройки», они контролировались по методу дублирования. В таблицу 2 сведены полученные данные для 12 многовыходных комбинационных устройств. Среднее значение величины $\mu=88,5\%$ при средней вероятности обнаружения ошибки $p(\eta)=97,2\%$.

Таблица 2. Результаты экспериментов с контролем групп выходов на основе 1/4-кода по «тройкам»

№	Схема	n_{in}/n_{out}	$L_{F(x)}$	q	L_{CED}	L_D	$\mu, \%$	$p(\eta), \%$
1	cm138a	6/8	41	2	141	174	81,1	99,1
2	misex	18/7	87	2	224	255	88	94,3
3	pclе	19/9	102	3	292	307	95,2	95,8
4	x2	10/7	69	2	188	221	85,1	96,7
5	5xp1	7/10	169	3	381	460	82,8	97,1
6	cm42a	4/10	41	3	165	202	81,7	97,5
7	cu	14/11	90	3	255	311	82	97,3
8	decod	5/16	62	5	278	321	86,6	99,2
9	tтt2	24/21	300	7	831	855	97,1	98,4
10	term1	34/10	230	3	553	581	95,1	95,2
11	vda	17/39	810	13	2043	2150	95	98,4
12	pm1	16/13	69	4	281	303	92,6	97,8
Среднее значение							88,5	97,2

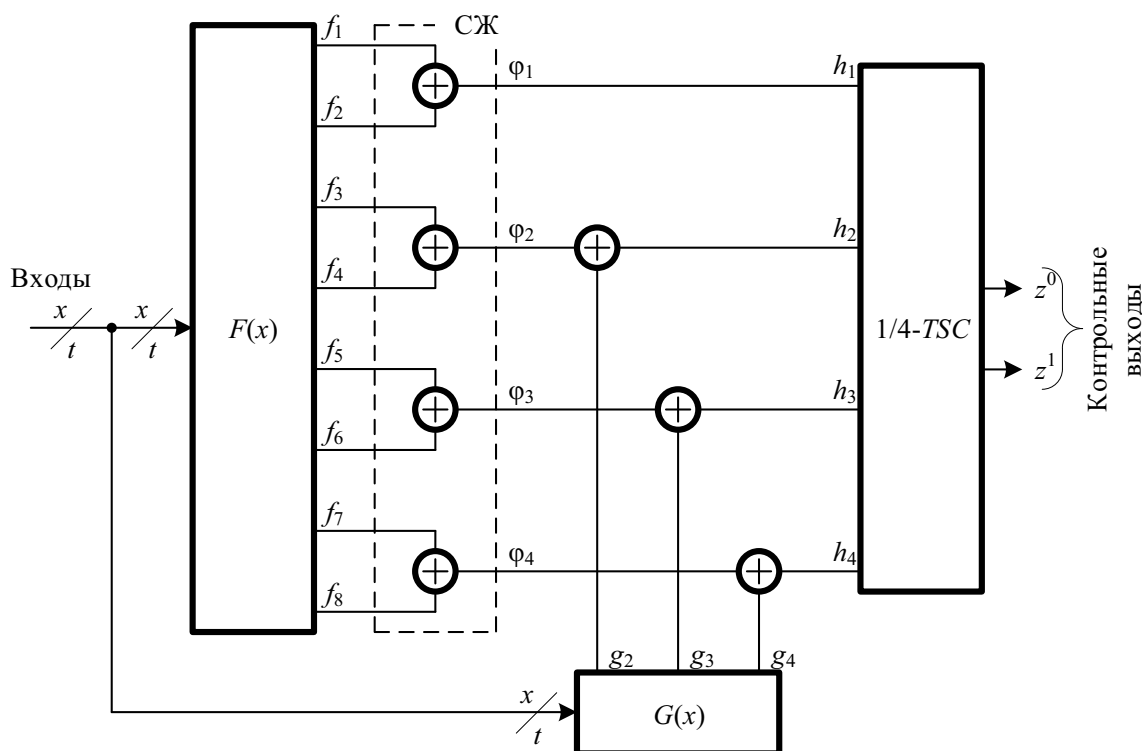


Рис. 7. Базовая структура организации схемы встроенного контроля по 1/4-коду с предварительным сжатием сигналов

4. Синтез схем встроенного контроля при использовании 1/4-кода с предварительным сжатием сигналов

Еще одним подходом к синтезу СВК по методу логического дополнения является использование предварительного сжатия сигналов от выходов блока $F(x)$ с целью сокращения числа подсхем контроля [45]. Базовая структура со схемой предварительного сжатия сигналов представлена на рисунке 7. В ней подразумевается для восьмивыходного устройства $F(x)$ выделение пар выходов и сжатие сигналов от них в схеме сжатия (СЖ) с целью формирования четырехразрядного кодового вектора $\langle \varphi_4 \varphi_3 \varphi_2 \varphi_1 \rangle$. Далее осуществляется контроль этого вектора по методу логического дополнения. Подобная структура фактически является развитием структуры метода самодвойственного паритета [23].

В таблице 3 представлены результаты экспериментов с контрольными комбинационными схемами с числом выходов $m \geq 8$. Для них получено среднее значение $\mu = 79,4\%$ (рис. 8) – значительно меньше, чем по представленному выше способу. Однако при этом $p(\eta) = 96,6\%$, что, наоборот, несколько хуже (рис. 9).

Таблица 3. Результаты экспериментов с контролем групп выходов на основе 1/4-кода с предварительным сжатием сигналов

№	Схема	n_{in}/n_{out}	$L_{F(x)}$	q	$L_{G(x)}$	$\varphi, \%$	L_{CED}	$\mu, \%$	$p(\eta), \%$
1	cm138a	6/8	41	1	27,9	68	105	60,3	96,7
2	pclе	19/9	102	1	111,9	109,7	262	85,1	95,1
3	5xp1	7/10	169	1	154,5	91,4	384	84,2	98,3
4	cm42a	4/10	41	1	35,1	85,6	136	68	96,2
5	cu	14/11	90	1	74,3	82,6	236	76,1	96,4
6	decod	5/16	62	2	28,5	46	175	54	98,4
7	ldd	9/19	114	2	90,6	79,5	327	72,4	94,2
8	sct	19/15	109	1	96,2	88,3	332	82,1	97,3
9	unreg	36/16	152	2	154	101,3	446	89,3	98,1
10	cht	47/36	262	4	290	110,7	952	97,2	98,8
11	ttt2	24/21	300	2	265	88,3	714	83,6	98,3
12	tcon	17/16	49	2	60,3	123,1	249	84,4	97,8
13	term1	34/10	230	1	188	81,7	480	83,1	93,1
14	count	35/16	210	2	197	93,8	491	79,5	96,3
15	c8	28/18	214	2	199	93	536	82,7	95,7
16	lal	26/19	139	2	140	100,7	457	89,1	98,1
17	x1	51/35	456	4	434,5	95,3	1109	81,1	92,8
18	vda	17/39	810	4	783,3	96,7	1812	85,2	97,1
19	pm1	16/13	69	1	42	60,9	212	71	96,3
Среднее значение:					—	89,3	—	79,4	96,6

Заключение

Использование метода логического дополнения до равновесного 1/4-кода позволяет на практике синтезировать самопроверяемые устройства автоматики и вычислительной техники с уменьшенной по сравнению с дублированием сложностью технической реализации. При этом существует возможность оптимизации показателей сложности технической реализации за счет гибкого выбора функций логического дополнения, реализуемых блоком контрольной логики. В процессе синтеза может учитываться статистическая информация об исходном устройстве, включающая в себя распределение нулевых и единичных значений реализуемых им функций на множестве входных наборов. Кроме того, может быть проведено изначальное моделирование неисправностей из заданного класса и зафиксировано распределение ошибок на выхо-

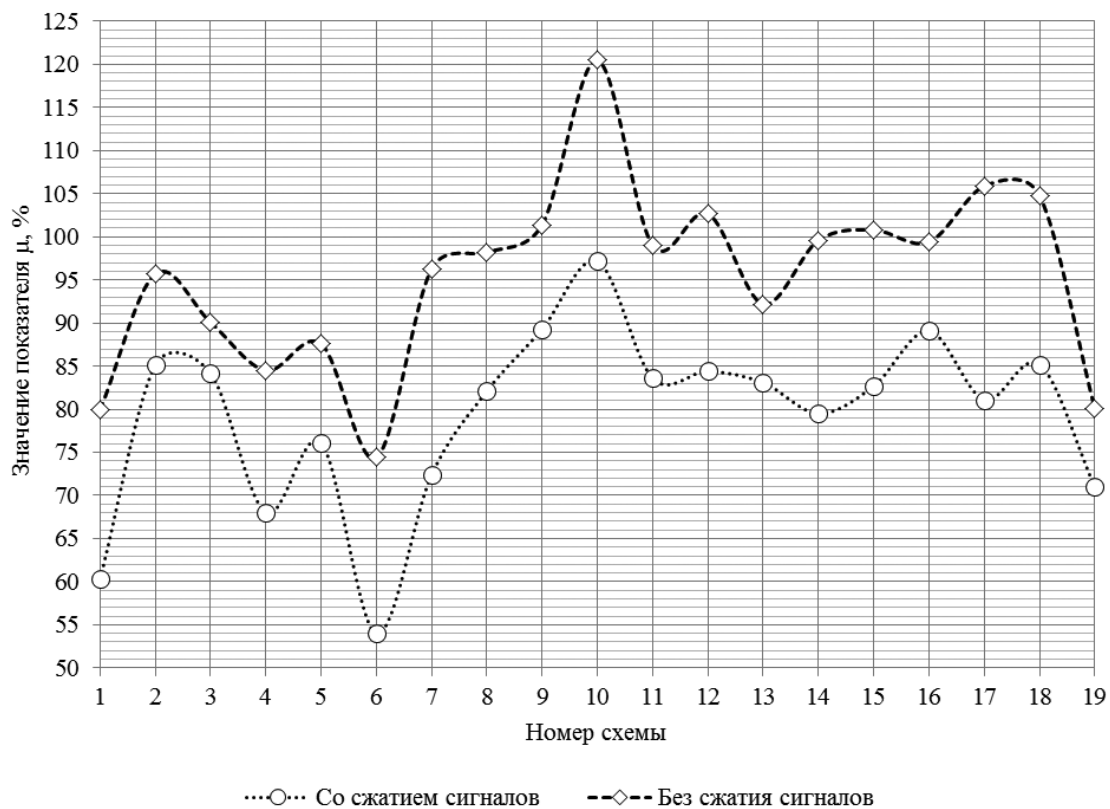


Рис. 8. Сравнение показателей μ для СВК, синтезированных без сжатия и со сжатием сигналов

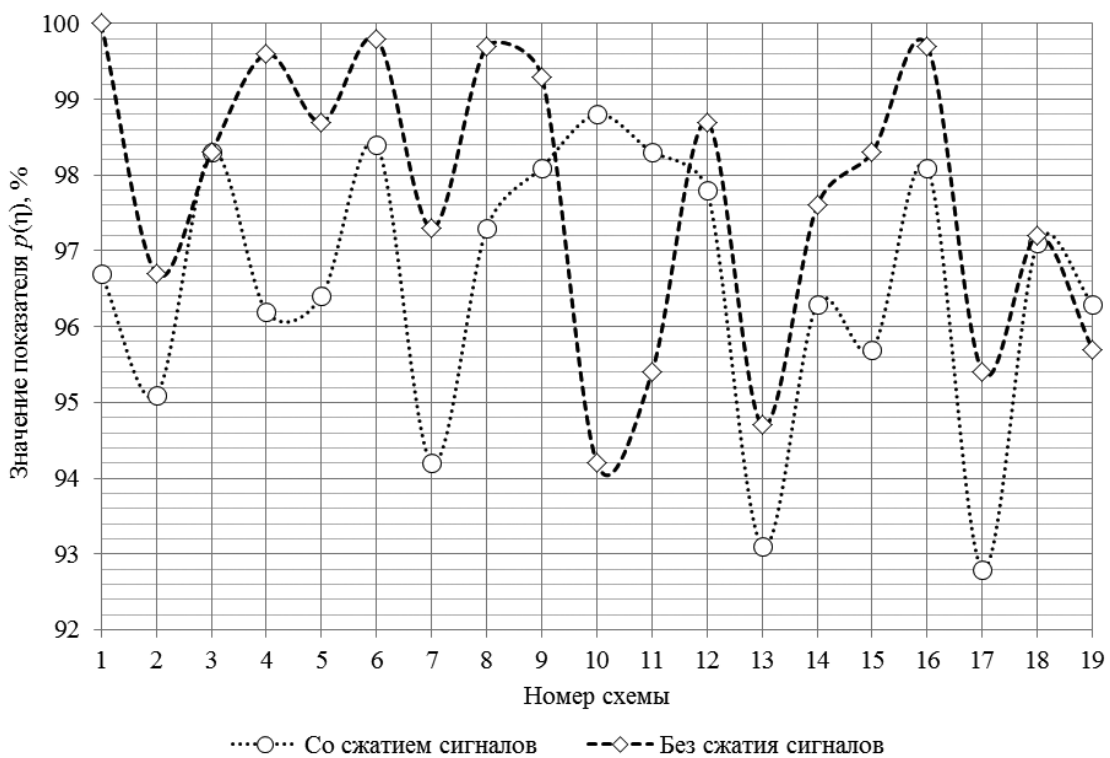


Рис. 9. Сравнение показателей $p(\eta)$ для СВК, синтезированных без сжатия и со сжатием сигналов

дах объекта диагностирования. Наилучшие результаты с позиции сложности технической реализации дает применение при синтезе СВК первоначального сжатия сигналов, однако это приводит к небольшому снижению вероятности обнаружения ошибок на выходах объекта диагностирования. Лучшие результаты по обнаружению ошибок дает подход с выделением «троек» выходов с контролем по 1/4-коду.

В настоящей статье все эксперименты проводились без изменения структуры исходного устройства. Тем не менее, в процессе синтеза можно учитывать возможность и такой модификации [1, 14, 29]. Это позволяет не только повышать показатели обнаруживающей способности СВК, но и реализовывать полностью самопроверяемые системы. Также в работе не рассматривались особенности обеспечения полной тестируемости компонентов СВК – элементов сложения по модулю два и тестера. Указанные вопросы затронуты в ряде работ соавторов, например, в [46].

Способы синтеза СВК, представленные в статье, универсальны и могут применяться при синтезе самопроверяемых цифровых систем, реализованных на различной элементной базе, включая современные устройства с программируемой логикой.

Благодарности

Авторы выражают признательность своим учителям, докторам технических наук, профессорам, заслуженным деятелям науки РФ Валерию Владимировичу и Владимиру Владимировичу Сапожниковым за помощь в работе, постановку задачи и всестороннее обсуждение результатов.

Библиографический список

1. *Согомонян Е. С.* Самопроверяемые устройства и отказоустойчивые системы / Е. С. Согомонян, Е. В. Слабаков. – М.: Радио и связь, 1989. – 208 с.
2. *Микони С. В.* Общие диагностические базы знаний вычислительных систем / С. В. Микони. – СПб.: СПИИРАН, 1992. – 234 с.
3. *Ubar R.* Design and Test Technology for Dependable Systems-On-Chip (Premier Reference Source) / R. Ubar, J. Raik, H.-T. Vierhaus. – Information Science Reference, Hershey – New York, IGI Global, 2011. – 578 p.
4. *Дрозд А. В.* Рабочее диагностирование безопасных информационно-управляющих систем / А. В. Дрозд, В. С. Харченко, С. Г. Антощук, Ю. В. Дрозд, М. А. Дрозд, Ю. Ю. Сулима. – Под ред. А. В. Дрозда и В. С. Харченко. – Харьков: Национальный аэрокосмический университет им. Н. Е. Жуковского «ХАИ», 2012. – 614 с.
5. *Kharchenko V.* Green IT Engineering: Concepts, Models, Complex Systems Architectures / V. Kharchenko, Y. Kondratenko, J. Kacprzyk. – Springer Book series “Studies in Systems, Decision and Control”. – Vol. 74. – 2017. – 305 p. DOI 10.1007/978-3-319-44162-7.

6. *Гаврилов С. В.* Применение теории кодирования для повышения помехозащищенности комбинационных схем / С. В. Гаврилов, С. И. Гуров, Т. Д. Жукова, Д. И. Рыжова // Информационные технологии. – 2016. – Т. 22, № 12. – С. 931–937.
7. *Tshagharyan G.* Experimental Study on Hamming and Hsiao Codes in the Context of Embedded Applications / G. Tshagharyan, G. Harutyunyan, S. Shoukourian, Y. Zorian // Proceedings of 15th IEEE East-West Design & Test Symposium (EWDTS'2017), Novi Sad, Serbia, September 29 – October 2, 2017. – Pp. 25–28. DOI: 10.1109/EWDTS.2017.8110065.
8. *Стемповский А. Л.* Методы синтеза сбоеустойчивых комбинационных КМОП схем, обеспечивающих автоматическое исправление ошибок / А. Л. Стемповский, Д. В. Тельпухов, Т. Д. Жукова, С. И. Гуров, Р. А. Соловьев // Известия ЮФУ. Технические науки. – 2017. – № 7 (192). – С. 197–210. DOI 10.23683/2311-3103-2017-7-197-210.
9. *Тельпухов Д. В.* Схема функционального контроля для комбинационных схем на основе R-кода / Д. В. Тельпухов, А. И. Деменева, Т. Д. Жукова, С. И. Гуров // Проблемы разработки перспективных микро- и нанoeлектронных систем (МЭС). – 2018. – № 4. – С. 98–104.
10. *Đug M.* Full Error Detection and Correction Method Applied on Pipelined Structure Using Two Approaches / M. Đug, S. Weidling, E. S. Sogomonyan, D. Jokic, M. Krstic // Journal of Circuits, Systems and Computers, 17 January 2020. – Pp. 1–16. DOI: 10.1142/S0218126620502187.
11. *Efanov D.* Generalized Algorithm of Building Summation Codes for the Tasks of Technical Diagnostics of Discrete Systems / D. Efanov, V. Sapozhnikov, Vl. Sapozhnikov // Proceedings of 15th IEEE East-West Design & Test Symposium (EWDTS'2017), Novi Sad, Serbia, September 29 – October 2, 2017. – Pp. 365–371. DOI: 10.1109/EWDTS.2017.8110126.
12. *Reynolds D. A.* Fault Detection Capabilities of Alternating Logic / D. A. Reynolds, G. Meize // IEEE Transactions on Computers. – 1978. – Vol. C-27. – Issue 12. – Pp. 1093–1098.
13. *Березюк Н. Т.* Кодирование информации (двоичные коды) / Н. Т. Березюк, А. Г. Андрущенко, С. С. Мощицкий, В. И. Глушков, М. М. Бенеша, В. А. Гаврилов; под ред. Н. Т. Березюка. – Харьков: Издательское объединение «Вища школа», 1978. – 252 с.
14. *Сапожников В. В.* Коды с суммированием для систем технического диагностирования. Том 1: Классические коды Бергера и их модификации / В. В. Сапожников, Вл. В. Сапожников, Д. В. Ефанов. – М.: Наука, 2020. – 383 с.
15. *Piestrak S. J.* Design of Self-Testing Checkers for Unidirectional Error Detecting Codes / S. J. Piestrak. – Wrocław: Oficyna Wydawnicza Politechniki Wrocławskiej, 1995. – 111 p.
16. *Nicolaidis M.* On-Line Testing for VLSI – A Compendium of Approaches / M. Nicolaidis, Y. Zorian // Journal of Electronic Testing: Theory and Application. – 1998. – Vol. 12. – Issue 1–2. – Pp. 7–20. DOI: 10.1023/A:1008244815697.
17. *Das D.* Weight-Based Codes and Their Application to Concurrent Error Detection of Multi-level Circuits / D. Das, N. A. Touba // Proceedings of the 17th IEEE VLSI Test Symposium, USA, CA, Dana Point, April 25–29, 1999. – Pp. 370–376.
18. *Mitra S.* Which Concurrent Error Detection Scheme to Choose? / S. Mitra, E. J. McCluskey // Proceedings of International Test Conference, 2000, USA, Atlantic City, NJ, 03–05 October 2000. – Pp. 985–994. DOI: 10.1109/TEST.2000.894311.
19. *Stempkovskiy A.* R-code for concurrent error detection and correction in the logic circuits / A. Stempkovskiy, D. Telpukhov, S. Gurov, T. Zhukova, A. Demeneva // 2018 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering (EIConRus), 29 January – 1 February 2018, Moscow, Russia. – Pp. 1430–1433. DOI: 10.1109/EIConRus.2018.8317365.
20. *Гессель М.* Логическое дополнение – новый метод контроля комбинационных схем / М. Гессель, А. В. Морозов, В. В. Сапожников, Вл. В. Сапожников // Автоматика и телемеханика. – 2003. – № 1. – С. 167–176.

21. Гессель М. Само тестируемая структура для функционального обнаружения отказов в комбинационных схемах // М. Гессель, А. В. Дмитриев, В. В. Сапожников, Вл. В. Сапожников // Автоматика и телемеханика. – 1999. – № 11. – С. 162–174.
22. Efanov D. Self-Dual Complement Method up to Constant-Weight Codes for Arrangement of Combinational Logical Circuits Concurrent Error-Detection Systems / D. Efanov, V. Sapozhnikov, Vl. Sapozhnikov, G. Osadchy, D. Pivovarov // Proceedings of 17th IEEE East-West Design & Test Symposium (EWDTS'2019), Batumi, Georgia, September 13–16, 2019. – Pp. 136–143. DOI: 10.1109/EWDTS.2019.8884398.
23. Saposhnikov Vl. V. Self-Dual Parity Checking – a New Method for on Line Testing / Vl. V. Saposhnikov, A. Dmitriev, M. Goessel, V. V. Saposhnikov // Proceedings of 14th IEEE VLSI Test Symposium, USA, Princeton, 1996. – Pp. 162–168.
24. Morozov A. New Self-Checking Circuits by Use of Berger-codes / A. Morozov, V. V. Saposhnikov, Vl. V. Saposhnikov, M. Goessel // Proceedings of 6th IEEE International On-Line Testing Workshop, Palma de Mallorca, Spain, 3–5 July 2000. – Pp. 171–176. DOI: 10.1109/OLT.2000.856626.
25. Сапожников В. В. Самопроверяемые дискретные устройства / В. В. Сапожников, Вл. В. Сапожников. – СПб.: Энергоатомиздат, 1992. – 224 с.
26. Das D. Synthesis of Circuits with Low-Cost Concurrent Error Detection Based on Bose-Lin Codes / D. Das, N. A. Touba // Journal of Electronic Testing: Theory and Applications. – 1999. – Vol. 15. – Issue 1–2. – Pp. 145–155. DOI: 10.1023/A:1008344603814.
27. Saposhnikov V. V. Design of totally self-checking combinational circuits by use of complementary circuits / V. V. Saposhnikov, Vl. V. Saposhnikov, A. Morozov, M. Goessel, G. Osadchy // Proceedings of 2th IEEE East-West Design & Test Symposium (EWDTS'2004), Crimea, Ukraine, September 15–17, 2004, pp. 83–87.
28. Гессель М. Контроль комбинационных схем методом логического дополнения / М. Гессель, А. В. Морозов, В. В. Сапожников, Вл. В. Сапожников // Автоматика и телемеханика. – 2005. – № 8. – С. 161–172.
29. Göessel M. New Methods of Concurrent Checking: Edition 1 / M. Göessel, V. Ocheretny, E. Sogomonyan, D. Marienfeld. – Dordrecht: Springer Science+Business Media B. V., 2008. – 184 p.
30. Sen S. K. A Self-Checking Circuit for Concurrent Checking by 1-out-of-4 code with Design Optimization using Constraint Don't Cares / S. K. Sen // National Conference on Emerging trends and advances in Electrical Engineering and Renewable Energy (NCEEERE 2010), Sikkim Manipal Institute of Technology, Sikkim, held during 22–24 December, 2010.
31. Das D. K. Constraint Don't Cares for Optimizing Designs for Concurrent Checking by 1-out-of-3 Codes / D. K. Das, S. S. Roy, A. Dmitriev, A. Morozov, M. Gössel // Proceedings of the 10th International Workshops on Boolean Problems, Freiberg, Germany, September, 2012. – Pp. 33–40.
32. Сапожников В. В. Построение полностью самопроверяемых структур систем функционального контроля с использованием равновесного кода «1 из 3» / В. В. Сапожников, Вл. В. Сапожников, Д. В. Ефанов // Электронное моделирование. – 2016. – Т. 38, № 6. – С. 25–43.
33. Сапожников В. В. Построение самопроверяемых структур систем функционального контроля на основе равновесного кода «2 из 4» / В. В. Сапожников, Вл. В. Сапожников, Д. В. Ефанов // Проблемы управления. – 2017. – № 1. – С. 57–64.
34. Сапожников В. В. Метод логического дополнения на основе равновесного кода «1 из 4» для построения полностью самопроверяемых структур систем функционального контроля / В. В. Сапожников, Вл. В. Сапожников, Д. В. Ефанов, Д. В. Пивоваров // Электронное моделирование. – 2017. – Т. 39, № 2. – С. 15–34.

35. Пивоваров Д. В. Организация систем функционального контроля комбинационных логических схем на основе метода логического дополнения по равновесному коду «1 из 5» / Д. В. Пивоваров // Автоматика на транспорте. – 2017. – Т. 3, № 4. – С. 605–624.
36. Пивоваров Д. В. Построение систем функционального контроля многовыходных комбинационных схем методом логического дополнения по равновесным кодам / Д. В. Пивоваров // Автоматика на транспорте. – 2018. – Т. 4, № 1. – С. 131–149.
37. Nikolos D. Self-Testing Embedded Two-Rail Checkers // Chapter 7 in On-Line Testing for VLSI. – 1998. – Pp. 69–79. – DOI 10.1007/978-1-4757-60-69-9-7.
38. Аксёнова Г. П. Необходимые и достаточные условия построения полностью проверяемых схем свертки по модулю 2 / Г. П. Аксёнова // Автоматика и телемеханика. – 1979. – № 9. – С. 126–135.
39. Sentovich E. M. Sequential Circuit Design Using Synthesis and Optimization / E. M. Sentovich, K. J. Singh, C. Moon, H. Savoj, R. K. Brayton, A. Sangiovanni-Vincentelli // Proceedings IEEE International Conference on Computer Design: VLSI in Computers & Processors, 11–14 October 1992, Cambridge, MA, USA, USA. – Pp. 328–333. DOI: 10.1109/ICCD.1992.276282.
40. Kunz W. Multi-Level Logic Optimization by Implication Analysis / W. Kunz, P. R. Menon // Proceedings of IEEE/ACM International Conference on Computer Aided Design (ICCAD'94), San Jose, CA, November, 1994. – Pp. 6–13.
41. Collection of Digital Design Benchmarks [<http://ddd.fit.cvut.cz/prj/Benchmarks/>].
42. Sentovich E. M. SIS: A System for Sequential Circuit Synthesis / E. M. Sentovich, K. J. Singh, L. Lavagno, C. Moon, R. Murgai, A. Saldanha, H. Savoj, P. R. Stephan, R. K. Brayton, A. Sangiovanni-Vincentelli // Electronics Research Laboratory, Department of Electrical Engineering and Computer Science, University of California, Berkeley, 4 May 1992. – 45 p.
43. Carter W. C. Self-Checking Error Checker for Two-Rail Coded Data / W. C. Carter, K. A. Duke, P. R. Schneider // United States Patent Office, filed July 25, 1968, ser. No. 747533, patented Jan. 26, 1971, N. Y. – 10 p.
44. Сапожников В. В. Метод синтеза систем диагностирования на основе логического дополнения с уменьшенным числом элементов преобразования / В. В. Сапожников, Вл. В. Сапожников, Д. В. Ефанов, Д. В. Пивоваров // Известия вузов. Приборостроение. – 2019. – Т. 62, № 12. – С. 1039–1052. DOI: 10.17586/0021-3454-2019-62-12-1039-1052.
45. Сапожников В. В. Синтез схемы встроенного контроля для многовыходных комбинационных устройств на основе логического дополнения и сжатия сигналов / В. В. Сапожников, Вл. В. Сапожников, Д. В. Ефанов // Известия вузов. Приборостроение. – 2020. – Т. 63, № 7. – С. 581–597. DOI: 10.17586/0021-3454-2020-63-7-581-597.
46. Efanov D. V. The Synthesis Conditions of Completely Self-Testing Embedded-Control Circuits Based on the Boolean Complement Method to the «1-out-of-m» Constant-Weight Code / D. V. Efanov, V. V. Sapozhnikov, Vl. V. Sapozhnikov, D. V. Pivovarov // Automatic Control and Computer Sciences. – 2020. – Vol. 54. – Issue 2. – Pp. 8–99. DOI: 10.3103/S0146411620020042.

Efanov D.V.

Scientific and Technical Center «Integrated Monitoring Systems» LLC «Automation, Remote Control and Communication on Railway Transport» department, Russian University of Transport (MIIT)

Osadchy G.V.

Scientific and Technical Center «Integrated Monitoring Systems» LLC

Leskovets I.V.

Department «Transportation and technological machines»
The Belarusian-Russian University, Mogilev

SYNTHESIS METHODS OF SELF-CHECKING COMBINATIONAL DEVICES OF AUTOMATIC CONTROLS BASED ON LOGICAL COMPLEMENT TO THE EQUILIBRIUM 1-OUT-OF 4 CODE

The article is devoted to the development of the logical complement method for the synthesis of self-checking digital devices and systems. The article highlights the features of using the equilibrium 1-out-of 4 code for the synthesis of integrated control circuits of combinational logic devices by the method of logical complement. The basic structures of the organization of built-in control schemes by the method of logical complement to the equilibrium 1-out-of 4 code are described and several ways of organizing control schemes are considered. The first one implies the control of devices with the allocation of outputs fours and the use of conversion of three outputs out of four in the basic structure. There is another way of organizing the control circuit by the method of logical complement to the equilibrium code and it involves the search for outputs triplets and their addition to the four-digit code word of the 1-out-of 4 code by directly connecting the output of the supervisor logic block to the tester input without any signal conversion. The third method is associated with the use of a basic structure with the circuit for the preliminary signal compression from the unit under test and the reduced number of outputs control. The article presents the results of experimental studies for each of the methods of organizing the built-in control circuit and estimates the structures technical implementation complexity as well as the probability of detecting errors at the outputs of the unit under test when single-stuck faults are introduced. In many cases the logical complement method allows to synthesize simpler self-checking devices compared to the duplication method with high rates of error detection at the unit under test outputs.

Combinational logical device, control system, logical complement, equilibrium 1-out-of4 code, structural redundancy optimization, backing-up, checking circuit optimalization, signal compression circuits

DOI: 10.20295/2412-9186-2021-7-4-645-668

References

1. *Sogomonyan E. S., Slabakov E. V.* (1989) Samoproveryayemyye ustroystva i otkazoustoychivyye sistemy [Self-checking devices and fault-tolerant systems]. Moscow, Radio i svyaz' [Radio and communication] Publ., 208 p. (In Russian)
2. *Mikoni S. V.* (1992) Obshchiye diagnosticheskiye bazy znaniy vychislitel'nykh sistem [General diagnostic knowledge base of computing systems]. Saint Petersburg, SPIIRAN Publ., 234 p. (In Russian)
3. *Ubar R., Raik J., Vierhaus H.-T.* (2011) Design and Test Technology for Dependable Systems-on-Chip (Premier Reference Source). Information Science Reference, Hershey – New York, IGI Global Publ., 578 p.

4. Drozd A. V., Harchenko V. S., Antoshchuk S. G., Drozd Yu. V., Drozd M. A., Sulima Yu. Yu. (2012) Rabochee diagnostirovanie bezopasnykh informatsionnoupravlyayushchih sistem [Objects and Methods of On-Line Testing for Safe Instrumentation and Control Systems]. Ed by A. V. Drozd, V. S. Harchenko. Khar'kov, Natsionalnyj aerokosmicheskij universitet im. N. E. Zhukovskogo (KhAI) Publ., 614 p. (In Russian)
5. Kharchenko V., Kondratenko Yu., Kacprzyk J. (2017) Green IT Engineering: Concepts, Models, Complex Systems Architectures. Springer Book series "Studies in Systems, Decision and Control", vol. 74, 305 p. DOI: 10.1007/978-3-319-44162-7.
6. Gavrilov S. V., Gurov S. I., Zhukova T. D., Ryzhova D. I. (2016) Primeneniye teorii kodirovaniya dlya povysheniya pomekhozashchishchennosti kombinatsionnykh skhem [Application of coding theory to improve noise immunity of combinational circuits]. *Informatsionnyye tekhnologii [Information technologies]*, vol. 22, no. 12, pp. 931–937. (In Russian)
7. Tshagharyan G., Harutyunyan G., Shoukourian S., Zorian Y. (2017) Experimental Study on Hamming and Hsiao Codes in the Context of Embedded Applications. Proceedings of 15th IEEE East-West Design & Test Symposium (EWDTS'2017), Novi Sad, Serbia, September 29 – October 2, 2017, pp. 25–28. DOI: 10.1109/EWDTS.2017.8110065.
8. Stempkovskiy A. L., Tel'pukhov D. V., Zhukova T. D., Gurov S. I., Solov'yev R. A. (2017) Metody sinteza sboyeustoychivyykh kombinatsionnykh KMOP skhem, obespechivayushchikh avtomaticheskoye ispravleniye oshibok [Synthesis methods of fault-tolerant combination CMOS circuits, providing automatic correction of errors]. *Izvestiya SFedU. Engineering Sciences*, no. 7 (192), pp. 197–210. (In Russian) DOI: 10.23683/2311-3103-2017-7-197-210.
9. Telpukhov D. V., Demeneva A. I., Zhukova T. D., Gurov S. I. (2018) Skhema funktsional'nogo kontrolya dlya kombinatsionnykh skhem na osnove R-koda [Functional control scheme for combinational circuits based on the R-code]. *Problemy razrabotki perspektivnykh mikro- i nanoelektronnykh sistem (MES) [Problems of the development of promising micro- and nanoelectronic systems (MES)]*, no. 4, pp. 98–104. (In Russian)
10. Dug M., Weidling S., Sogomonyan E. S., Jokic D., Krstic M. (2020) Full Error Detection and Correction Method Applied on Pipelined Structure Using Two Approaches. *Journal of Circuits, Systems and Computers*, 17 January 2020, pp. 1–16. DOI: 10.1142/S0218126620502187.
11. Efanov D., Sapozhnikov V., Sapozhnikov V. I. (2017) Generalized Algorithm of Building Summation Codes for the Tasks of Technical Diagnostics of Discrete Systems. Proceedings of 15th IEEE East-West Design & Test Symposium (EWDTS'2017), Novi Sad, Serbia, September 29 – October 2, 2017, pp. 365–371. DOI: 10.1109/EWDTS.2017.8110126.
12. Reynolds D. A., Meize G. (1978) Fault Detection Capabilities of Alternating Logic. *IEEE Transactions on Computers*, vol. C-27, iss. 12, pp. 1093–1098.
13. Berezyuk N. T., Andrushchenko A. G., Moshchitskiy S. S., Glushkov V. I., Benesha M. M., Gavrilov V. A. (1978) Kodirovaniye informatsii (dvoichnyye kody) [Information coding (binary codes)]. Kharkov, publishing association "Visha shkola" Publ., 252 p. (In Russian)
14. Sapozhnikov V. V., Sapozhnikov V. I., Efanov D. V. (2020) Kody s summirovaniyem dlya sistem tekhnicheskogo diagnostirovaniya. Tom 1: Klassicheskiye kody Bergera i ikh modi fikatsii. [Summed codes for technical diagnostic systems. Vol. 1: Classic Berger codes and their modifications]. Moscow, Nauka Publ., 383 p. (In Russian)
15. Piestrak S. J. (1995) Design of Self-Testing Checkers for Unidirectional Error Detecting Codes. Wrocław, Oficyna Wydawnicza Politechniki Wrocławskiej, 111 p.
16. Nicolaidis M., Zorian Y. (1998) On-Line Testing for VLSI – A Compendium of Approaches. *Journal of Electronic Testing: Theory and Application*, vol. 12, iss. 1–2, pp. 7–20. DOI: 10.1023/A:1008244815697.

17. *Das D., Toubia N.A.* (1999) Weight-Based Codes and Their Application to Concurrent Error Detection of Multilevel Circuits. Proceedings of the 17th IEEE VLSI Test Symposium, USA, CA, Dana Point, April 25–29, 1999, pp. 370–376.
18. *Mitra S., McCluskey E.J.* (2000) Which Concurrent Error Detection Scheme to Choose? Proceedings of International Test Conference, 2000, USA, Atlantic City, NJ, 3–5 October, 2000, pp. 985–994. DOI: 10.1109/TEST.2000.894311.
19. *Stempkovskiy A., Telpukhov D., Gurov S., Zhukova T., Demeneva A.* (2018) R-code for concurrent error detection and correction in the logic circuits. 2018 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering (EIconRus), 29 January – 1 February, 2018, Moscow, Russia, pp. 1430–1433. DOI: 10.1109/EIconRus.2018.8317365.
20. *Gessel M., Morozov A. V., Sapozhnikov V. V., Sapozhnikov V. V.* (2003) Logicheskoye dopolneniye – novyy metod kontrolya kombinatsionnykh skhem [Logic complement – a new method of control of combinational circuits]. *Avtomatika i telemekhanika* [Automation and Remote Control], no. 1, pp 167–176. (In Russian)
21. *Gessel M., Dmitriev A. V., Sapozhnikov V. V., Sapozhnikov V. V.* (1999) Samotestiruyemaya struktura dlya funktsional'nogo obnaruzheniya otkazov v kombinatsionnykh skhemakh [A self-testable structure for functional fault detection in combination circuits]. *Avtomatika i telemekhanika* [Automation and Remote Control], no. 11, pp. 162–174. (In Russian)
22. *Efanov D., Sapozhnikov V., Sapozhnikov V. V., Osadchy G., Pivovarov D.* (2019) Self-Dual Complement Method up to Constant-Weight Codes for Arrangement of Combinational Logical Circuits Concurrent Error-Detection Systems. Proceedings of 17th IEEE East-West Design & Test Symposium (EWDTS'2019), Batumi, Georgia, September 13–16, 2019, pp. 136–143. DOI: 10.1109/EWDTS.2019.8884398.
23. *Sapozhnikov V. V., Dmitriev A., Goessel M., Sapozhnikov V. V.* (1996) Self-Dual Parity Checking – a New Method for on Line Testing. Proceedings of 14th IEEE VLSI Test Symposium, USA, Princeton, 1996, pp. 162–168.
24. *Morozov A., Saposhnikov V. V., Saposhnikov V. V., Goessel M.* (2000) New Self-Checking Circuits by Use of Berger-codes. Proceedings of 6th IEEE International On-Line Testing Workshop, Palma de Mallorca, Spain, 3–5 July, 2000, pp. 171–176. DOI: 10.1109/OLT.2000.856626.
25. *Sapozhnikov Val. V., Sapozhnikov V. V.* (1992). Self-checking discrete devices [Samoprovayemyye diskretnyye ustroystva]. St. Petersburg, Energoatomizdat Publ., 224 p.
26. *Das D., Toubia N.A.* (1999) Synthesis of Circuits with Low-Cost Concurrent Error Detection Based on Bose-Lin Codes. *Journal of Electronic Testing: Theory and Applications*, vol. 15, iss. 1–2, pp. 145–155. DOI: 10.1023/A:1008344603814.
27. *Saposhnikov V. V., Saposhnikov V. V., Morozov A., Goessel M., Osadchy G.* (2004) Design of totally self-checking combinational circuits by use of complementary circuits. Proceedings of 2th IEEE East-West Design & Test Symposium (EWDTS'2004), Crimea, Ukraine, September 15–17, 2004, pp. 83–87.
28. *Goessel M., Morozov A. V., Sapozhnikov Val. V., Sapozhnikov V. V.* (2005) Kontrol' kombinatsionnykh skhem metodom logicheskogo dopolneniya [Test of combinational circuits by Boolean complement]. *Avtomatika i telemekhanika* [Automation and Remote Control], iss. 8, pp. 161–172. (In Russian)
29. *Göessel M., Ocheretny V., Sogomonyan E., Marienfeld D.* (2008) New Methods of Concurrent Checking. Ed. 1. Dordrecht, Springer Science+Business Media B. V., 184 p.
30. *Sen S.K.* (2010) A Self-Checking Circuit for Concurrent Checking by 1-out-of-4 code with Design Optimization using Constraint Don't Cares. *National Conference on Emerging trends and advances in Electrical Engineering and Renewable Energy (NCEEERE 2010)*, Sikkim Manipal Institute of Technology, Sikkim, held during 22–24 December, 2010.

31. Das D. K., Roy S. S., Dmitiriev A., Morozov A., Gössel M. (2012) Constraint Don't Cares for Optimizing Designs for Concurrent Checking by 1-out-of-3 Codes. Proceedings of the 10th International Workshops on Boolean Problems, Freiberg, Germany, September, 2012, pp. 33–40.
32. Sapozhnikov V. V., Sapozhnikov Vl. V. & Efanov D. V. (2016) *Postroyeniye polnost'yu samoproveryayemykh struktur sistem funktsional'nogo kontrolya s ispol'zovaniyem ravnovesnogo koda "1 iz 3"* [Formation of totally self-checking structures of concurrent error detection systems with the use of 1-out-of-3 constant-weight code]. *Elektronnoye modelirovaniye* [Electronic Modeling], vol. 38, no. 6, pp. 25–43. (In Russian)
33. Sapozhnikov V. V., Sapozhnikov Vl. V., Efanov D. V. (2017). Postroenie samoproveryayemykh struktur sistem funktsional'nogo kontrolya na osnove ravnovesnogo koda «2 iz 4» [Design of Self-Checking Concurrent Error Detection Systems Based on 2-out-of-4 Constant-Weight Code]. *Problemy upravleniya* [Problems of Control], iss. 1, pp. 57–64. (In Russian)
34. Sapozhnikov V. V., Sapozhnikov Vl. V., Efanov D. V., Pivovarov D. V. (2017). Metod logicheskogo dopolneniya na osnove ravnovesnogo koda «1 iz 4» dlya postroyeniya polnost'yu samoproveryayemykh struktur sistem funktsional'nogo kontrolya [Boolean complement method based on constant-weight code 1-out-of-4 for formation of totally self-checking concurrent error detection systems]. *Elektronnoye modelirovaniye* [Electronic Modeling], vol. 39, iss. 2, pp. 15–34. (In Russian)
35. Pivovarov D. V. (2017) Organizatsiya sistem funktsional'nogo kontrolya kombinatsionnykh logicheskikh skhem na osnove metoda logicheskogo dopolneniya po ravnovesnomu kodu "1 iz 5" [Organization of systems of functional control of combinational logic circuits based on the method of logical complement according to the equilibrium code 1-out-of-5]. *Avtomatika na transporte* [Automation on Transport], vol. 3, no. 4, pp. 605–624. (In Russian)
36. Pivovarov D. V. (2018) Postroyeniye sistem funktsional'nogo kontrolya mnogovykhodnykh kombinatsionnykh skhem metodom logicheskogo dopolneniya po ravnovesnym kodam [Building of concurrent error detection systems of multi-output combinational circuits using the Boolean complement method by constant weight codes]. *Avtomatika na transporte* [Automatics on transport], vol. 4, no. 1, pp. 131–149. (In Russian)
37. Nikolos D. (1998) Self-Testing Embedded Two-Rail Checkers. On-Line Testing for VLSI. Chapter 7, pp. 69–79. DOI: 10.1007/978-1-4757-60-69-9-7.
38. Aksyonova G. P. (1979) *Neobkhodimyye i dostatochnyye usloviya postroyeniya polnost'yu proveryayemykh skhem svertki po modulyu 2* [Necessary and sufficient conditions for design of completely checkable modulo 2 convolution circuits]. *Avtomatika i telemekhanika* [Automation and Remote Control], no. 9, pp. 126–135. (In Russian)
39. Sentovich E. M., Singh K. J., Moon C., Savoj H., Brayton R. K., Sangiovanni-Vincentelli A. (1992) Sequential Circuit Design Using Synthesis and Optimization. Proceedings IEEE International Conference on Computer Design: VLSI in Computers & Processors, 11–14 October 1992, Cambridge, MA, USA, USA, pp. 328–333. DOI: 10.1109/ICCD.1992.276282.
40. Kunz W., Menon P. R. (1994) Multi-Level Logic Optimization by Implication Analysis. Proceedings of IEEE/ACM International Conference on Computer Aided Design (ICCAD'94), San Jose, CA, November, 1994, pp. 6–13.
41. Collection of Digital Design Benchmarks. Available at: <http://ddd.fit.cvut.cz/prj/Benchmarks/>.
42. Sentovich E. M., Singh K. J., Lavagno L., Moon C., Murgai R., Saldanha A., Savoj H., Stephan P. R., Brayton R. K., Sangiovanni-Vincentelli A. (1992) SIS: A System for Sequential Circuit Synthesis. Electronics Research Laboratory, Department of Electrical Engineering and Computer Science, University of California, Berkeley, 4 May, 1992, 45 p.
43. Carter W. C., Duke K. A., Schneider P. R. Self-Checking Error Checker for Two-Rail Coded Data. United States Patent Office, filed July 25, 1968, ser. No. 747533, patented Jan. 26, 1971, New York, 10 p.

44. Sapozhnikov V. V., Sapozhnikov Vl. V., Efanov D. V., Pivovarov D. V. (2019) Metod sinteza sistem diagnostirovaniya na osnove logicheskogo dopolneniya s umen'shennym chislom elementov preobrazovaniya [Method of diagnostic system synthesis based on Boolean complement with reduced number of correction elements]. Izvestiya vuzov. Priborostroyeniye [Proceedings of universities. Journal of Instrument Engineering], vol. 62, no. 12, pp. 1039–1052. (in Russian)
45. Sapozhnikov V. V., Sapozhnikov Vl. V., Efanov D. V. Sintez skhemy vstroynnogo kontrolya dlya mnogovykhodnykh kombinatsionnykh ustroystv na osnove logicheskogo dopolneniya i szhatiya signalov Synthesis of a built-in control circuit for multi-output combinational devices based on logical complement and signal compression. Izvestiya vuzov. Priborostroyeniye [Proceedings of universities. Journal of Instrument Engineering], vol. 63, no. 7, pp. 583–599. (in Russian)
46. Efanov D. V., Sapozhnikov V. V., Sapozhnikov Vl. V., Pivovarov D. V. (2020) The Synthesis Conditions of Completely Self-Testing Embedded-Control Circuits Based on the Boolean Complement Method to the 1-out-of-m Constant-Weight Code. Automatic Control and Computer Sciences, vol. 54, iss. 2, pp. 8–99. DOI: 10.3103/S0146411620020042.

*Статья представлена к публикации членом редколлегии
профессором В. И. Хахановым*

Поступила в редакцию 23.11.2020, принята к публикации 06.04.2021

ЕФАНОВ Дмитрий Викторович — доктор технических наук, доцент, член Института инженеров электротехники и электроники (IEEE member), заместитель генерального директора по научно-исследовательской работе ООО НТЦ «Комплексные системы мониторинга», профессор Высшей школы транспорта Института машиностроения, материалов и транспорта Санкт-Петербургского политехнического университета Петра Великого, профессор кафедры «Автоматика, телемеханика и связь на железнодорожном транспорте» Российского университета транспорта (МИИТ)
TrES-4b@yandex.ru

ОСАДЧИЙ Герман Владимирович — кандидат технических наук, заместитель генерального директора, главный инженер ООО НТЦ «Комплексные системы мониторинга», старший преподаватель кафедры «Автоматика и телемеханика на железных дорогах» Петербургского государственного университета путей сообщения Императора Александра I
osgerman@mail.ru

ЛЕСКОВЕЦ Игорь Вадимович — кандидат технических наук, доцент, заведующий кафедрой «Транспортные и технологические машины» Межгосударственного образовательного учреждения высшего образования «Белорусско-Российский университет»
le@br.u.by

© Ефанов Д. В., Осадчий Г. В., Лесковец И. В., 2021