

МЕЖГОСУДАРСТВЕННОЕ ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ  
ВЫСШЕГО ОБРАЗОВАНИЯ  
«БЕЛОРУССКО-РОССИЙСКИЙ УНИВЕРСИТЕТ»

Кафедра «Программное обеспечение информационных технологий»

# АРХИТЕКТУРА ЭВМ

*Методические рекомендации к лабораторным работам  
для студентов направлений подготовки  
09.03.01 «Информатика и вычислительная техника»  
и 09.03.04 «Программная инженерия»  
очной формы обучения*



Могилев 2023

УДК 004.4  
ББК 32.973-02  
А87

Рекомендовано к изданию  
учебно-методическим отделом  
Белорусско-Российского университета

Одобрено кафедрой «Программное обеспечение информационных технологий» «7» января 2023 г., протокол № 5

Составитель канд. техн. наук, доц. А. В. Кушнер

Рецензент канд. техн. наук, доц. И. В. Лесковец

Методические рекомендации к лабораторным работам по дисциплине «Архитектура ЭВМ» предназначены для студентов направлений подготовки 09.03.01 «Информатика и вычислительная техника» и 09.03.04 «Программная инженерия» очной формы обучения.

Учебное издание

## АРХИТЕКТУРА ЭВМ

Ответственный за выпуск	В. В. Кутузов
Корректор	Т. А. Рыжикова
Компьютерная верстка	Е. В. Ковалевская

Подписано в печать . Формат 60×84/16. Бумага офсетная. Гарнитура Таймс.  
Печать трафаретная. Усл. печ. л. . Уч.-изд. л. . Тираж 21 экз. Заказ №

Издатель и полиграфическое исполнение:  
Межгосударственное образовательное учреждение высшего образования  
«Белорусско-Российский университет».  
Свидетельство о государственной регистрации издателя,  
изготовителя, распространителя печатных изданий  
№ 1/156 от 07.03.2019.  
Пр-т Мира, 43, 212022, г. Могилев.

© Белорусско-Российский  
университет, 2023

## Содержание

Введение.....	4
1 Лабораторная работа № 1. Изучение принципа работы и составных частей ЭВМ.....	5
2 Лабораторная работа № 2. Исследование работы логических устройств.....	7
3 Лабораторная работа № 3. Изучение работы элементов запоминающих устройств-триггеров.....	9
4 Лабораторная работа № 4. Изучение работы счетчиков различного типаю.....	12
5 Лабораторная работа № 5. Исследование работы различных регистров.....	14
6 Лабораторная работа № 6. Исследование работы преобразователей кода.....	16
7 Лабораторная работа № 7. Исследование работы дешифраторов и шифраторов.....	18
8 Лабораторная работа № 8. Исследование работы мультиплексоров.....	19
9 Лабораторная работа № 9. Исследование работы сумматоров.....	22
10 Лабораторная работа № 10. Исследование работы умножителей чисел.....	24
11 Лабораторная работа № 11. Исследование работы АЛУ.....	26
Список литературы.....	28

## **Введение**

Целью преподавания дисциплины «Архитектура ЭВМ» является обучение студентов принципам построения и организации ЭВМ в составе автоматизированных систем обработки информации, изучение работы отдельных узлов ЭВМ, формирование устойчивых навыков по их применению.

Методические рекомендации имеют целью помочь студентам в подготовке и выполнении лабораторных работ по дисциплине.

Даны методические указания по выполнению лабораторных работ по дисциплине «Архитектура ЭВМ» а также приведен список источников для подготовки [1, 2], где подробно изложены все теоретические вопросы.

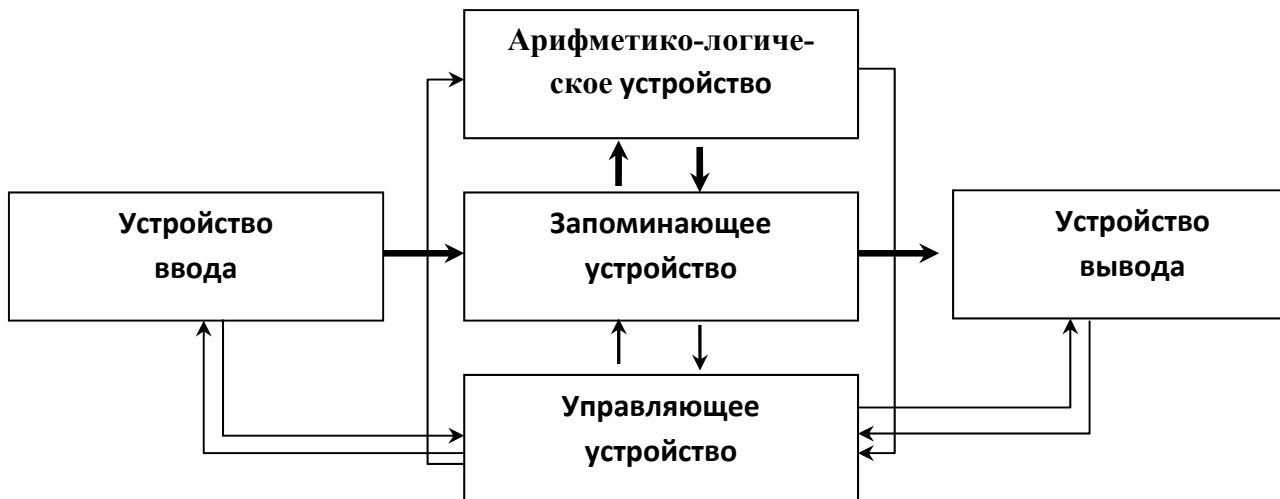
# 1 Лабораторная работа № 1. Изучение принципа работы и составных частей ЭВМ

**Цель работы:** ознакомиться с назначением и составными частями ЭВМ.

## Основные теоретические положения

Под архитектурой ЭВМ можно понимать ту совокупность их характеристик, которая необходима пользователю: основные устройства и блоки ЭВМ, структура связей между ними.

Основы учения об архитектуре вычислительных машин заложил выдающийся американский математик Джон фон Нейман, высказав идею принципиально новой ЭВМ. Фон Нейман выдвинул основополагающие принципы логического устройства ЭВМ и его структуру (рисунок 1.1). ЭВМ имеет процессор, основную память и внешние устройства.



АЛУ – арифметико-логическое устройство; ЗУ – запоминающее устройство; УУ – устройство управления; Увв – устройство ввода; Увыв – устройство вывода

Рисунок 1.1 – Классическая структура ЭВМ

**Арифметико-логическое устройство (АЛУ)** обеспечивает выполнение процедур преобразования данных.

**Устройство управления (УУ)** обеспечивает управление процессом обработки данных. УУ выбирает команды программы из основной памяти, интерпретирует тип команды и запускает нужную схему АЛУ.

**Запоминающие устройства процессора** обеспечивают промежуточное хранение обрабатываемых процессором данных. Основная память ЭВМ включает оперативную и постоянную память

**Оперативная память** – устройство, обеспечивающее временное хранение команд и данных в процессе выполнения программы.

**Постоянная память** – устройство, обеспечивающее постоянное хранение и возможность считывания критически важной для функционирования ЭВМ информации.

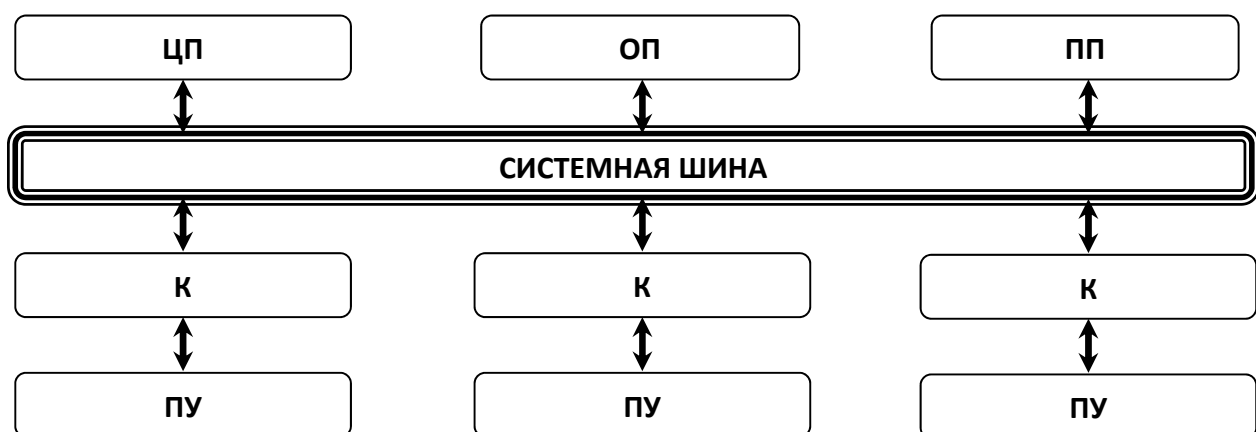
**Внешние устройства** – устройства, обеспечивающие ввод и вывод данных из основных устройств ЭВМ (устройства ввода-вывода) и долговременное хранение информации, не обрабатываемой процессором в данный момент времени (внешние запоминающие устройства).

В одной ЭВМ может использоваться от единиц до нескольких сотен внешних устройств разных типов. Состав устройств ввода-вывода, как правило, переменный и определяется составом задач, решаемых на конкретной ЭВМ.

Производительность и эффективность использования ЭВМ определяется не только составом и характеристиками ее устройств, но и способом организации их совместной работы. Связь между устройствами ЭВМ осуществляется с помощью сопряжений, которые в вычислительной технике называются интерфейсами.

Интерфейс представляет собой совокупность стандартизированных аппаратных и программных средств, обеспечивающих обмен информацией между устройствами. В основе построения интерфейса лежат унификация и стандартизация (использование единых способов кодирования данных, форматов данных, стандартизация соединительных элементов – разъемов и т. д.). Наличие стандартных интерфейсов позволяет унифицировать передачу информации между устройствами независимо от их особенностей.

В ПК используется структура с шинным интерфейсом (рисунок 1.2).



ЦП – центральный процессор; ОП – оперативная память; ПП – постоянная память; К – контроллер; ПУ – периферийное устройство

Рисунок 1.2 – Шины ПК

Модульность структуры ЭВМ требует стандартизации и унификации оборудования, технических и программных средств, средств сопряжения – интерфейсов,

конструктивных решений, унификации типовых элементов замены, элементной базы и нормативно-технической документации.

Детализацией архитектурного и структурного построения ЭВМ занимаются различные категории специалистов вычислительной техники.

Пользователя ЭВМ интересуют обычно более общие вопросы, касающиеся его взаимодействия с ЭВМ (человеко-машинного интерфейса), начиная со следующих групп характеристик ЭВМ, определяющих ее структуру:

- технические и эксплуатационные характеристики ЭВМ (быстродействие и производительность, показатели надежности, достоверности, точности, емкость оперативной и внешней памяти, габаритные размеры, стоимость технических и программных средств, особенности эксплуатации и др.);

- характеристики и состав функциональных модулей базовой конфигурации ЭВМ;

- возможность расширения состава технических и программных средств;

- возможность изменения структуры;

- состав ПО ЭВМ и сервисных услуг (ОС или среда, пакеты прикладных программ, средства автоматизации программирования).

### ***Порядок выполнения работы***

1 Изучить основные теоретические положения.

2 Оформить отчет, содержащий краткие описания основных узлов ЭВМ.

### ***Контрольные вопросы***

1 Что такое архитектура ЭВМ?

2 Из каких основных узлов состоит ЭВМ?

3 Назначение основных устройств ЭВМ.

4 Какие преимущества имеет магистральная структура ЭВМ?

## **2 Лабораторная работа № 2. Исследование работы логических устройств**

***Цель работы:*** изучить основные логические элементы, используемые для создания узлов ЭВМ.

### ***Основные теоретические положения***

Логические элементы являются основными устройствами, используемыми для создания узлов ЭВМ. Зная назначение и принцип их работы, можно создать и правильно эксплуатировать ЭВМ. Изучение их работы проводится с использованием программного обеспечения Multisim 12.0.

Начнем с изучения интерфейса программы. Это программное обеспечение используется для исследования работы всех основных устройств ЭВМ. Основные функциональные панели программы показаны на рисунке 2.1.

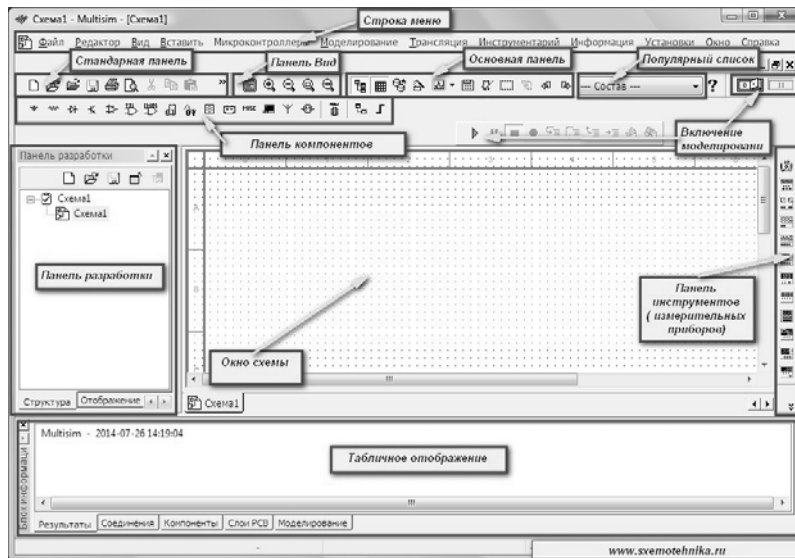


Рисунок 2.1 – Интерфейс программы Multisim 12.0

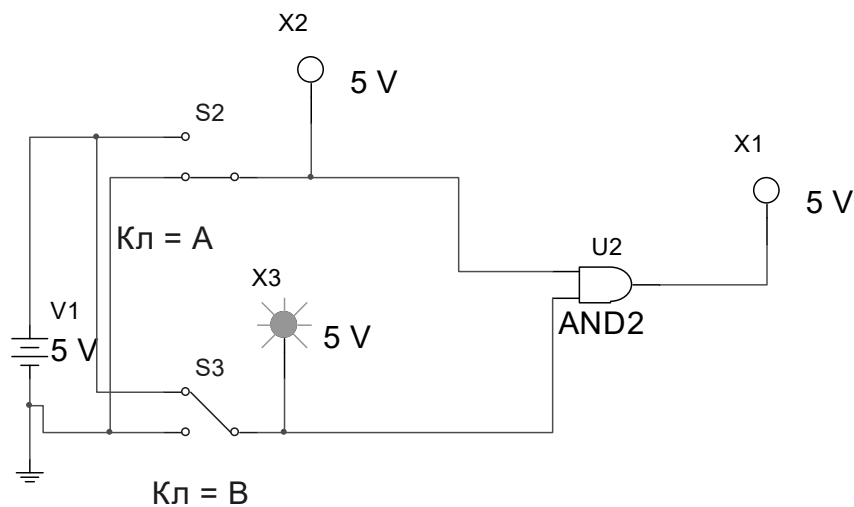


Рисунок 2.2 – Образец подключения элемента И

С помощью панели компонентов осуществляется доступ к базе компонентов. При нажатии на любую из выбранных пиктограмм компонентов схем открывается окно **Выбор компонента** (см. рисунок 2.1). В левой части окна осуществляется выбор необходимого компонента. Вся база данных компонентов разделена на разделы (пассивные элементы, диоды, транзисторы, микросхемы и т. д.), а разделы – на семейства (например, логические схемы – это схемы различных типов). Также в окне выбора компонента можно посмотреть обозначение выбранного компонента, описание его функции, выбрать тип корпуса. Выбрав



необходимые компоненты узлов, объединяем их с помощью соединительных линий. Цвет линий для удобства выбираем различный, чтобы можно было проверить правильность сборки схемы. Затем подключаем различные приборы и индикаторы и проводим исследования работы схем в различных режимах.

Исследовать элементы И(AND), ИЛИ(OR), НЕ(NOT), И-НЕ(NAND), ИЛИ-НЕ (NOR) и Исключающее ИЛИ (XOR) и заполнить таблицу 2.1.

Таблица 2.1 – Таблица истинности логических элементов

X1	X2	AND	NAND	OR	NOR	NOT	XOR
0	1						
1	0						
0	0						
1	1						

### ***Порядок выполнения работы***

- 1 Собрать схемы, подобные рисунку 2.2.
- 2 Исследовать их работу.
- 3 Заполнить таблицу.
- 4 Оформить отчет. Отчет должен содержать подключение элементов, указанных в таблице 2.1, и таблицы истинности.

### ***Контрольные вопросы***

- 1 Назначение логических элементов.
- 2 Типы логических элементов.
- 3 Принцип работы логических элементов.
- 4 Взаимозаменяемость логических элементов.

## **3 Лабораторная работа № 3. Изучение работы элементов запоминающих устройств-триггеров**

***Цель работы:*** изучить принцип работы триггеров в различных режимах.

### ***Основные теоретические положения***

Основой запоминающих элементов и ЭВМ являются различные типы триггеров. Вначале исследуем асинхронные триггеры на элементах И-НЕ и ИЛИ-НЕ (рисунок 3.1), для этого на входы через переключатели подадим возможные комбинации двоичных сигналов и зарегистрируем выходные сигналы.

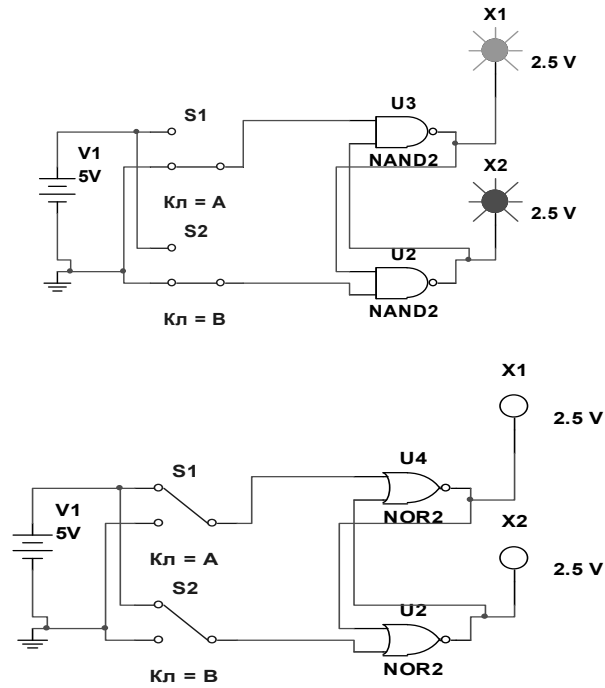


Рисунок 3.1 – Асинхронные триггеры на элементах И-НЕ и ИЛИ-НЕ

Затем преобразовать асинхронные триггеры в синхронные и добавить переключатель для входа сигнала синхронизации С. Произвести аналогичные рассмотренным ранее исследования. Исследовать D- и JK-триггеры. Дальше исследовать Т-триггер, используя D- и JK-триггеры (рисунки 3.2–3.5).

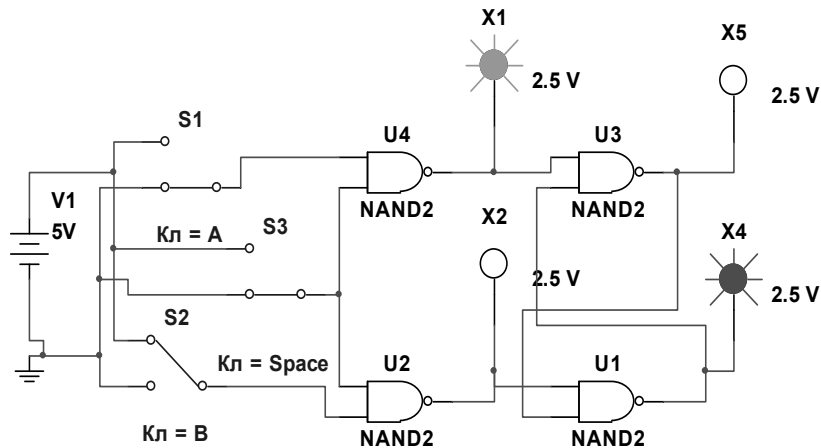


Рисунок 3.2 – Синхронный триггер на элементах И-НЕ

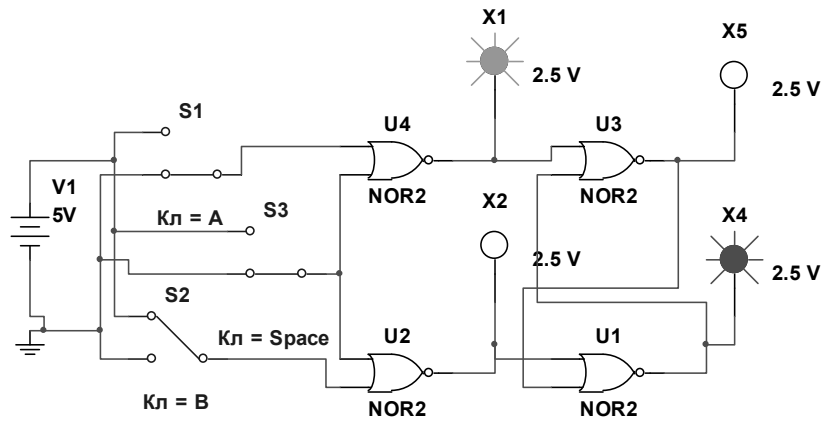


Рисунок 3.3 – Синхронный триггер на элементах ИЛИ-НЕ

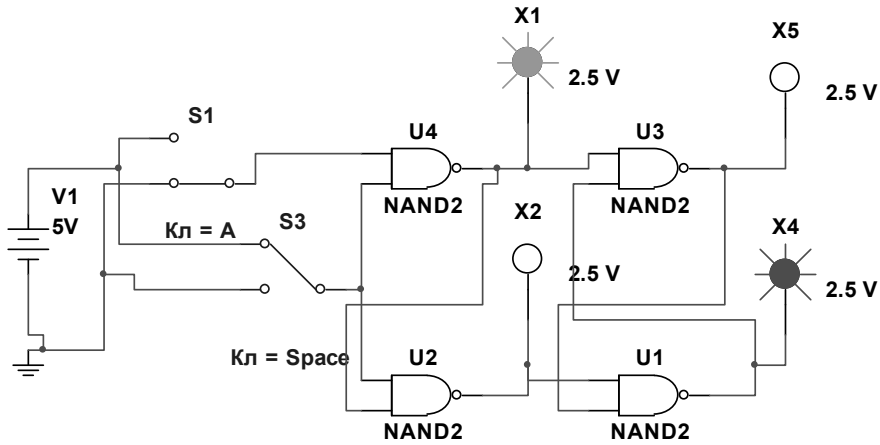
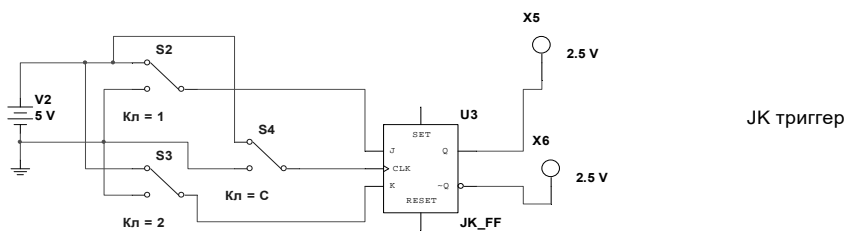
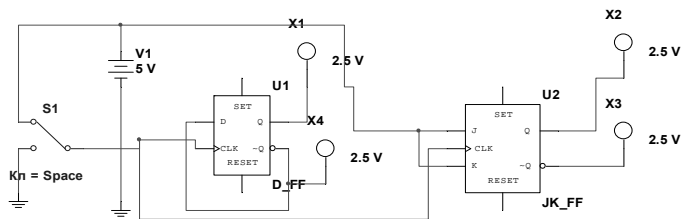


Рисунок 3.4 – Синхронный D-триггер



JK триггер



T триггер

Рисунок 3.5 – Синхронный JK-триггер и T-триггер

### ***Порядок выполнения работы***

- 1 Исследовать работу асинхронных триггеров.
- 2 Преобразовать их в синхронные.
- 3 Изучить работу JK- и D-триггеров.
- 4 Изучить работу T-триггеров.
- 5 Оформить отчет, содержащий схемы исследований.

### ***Контрольные вопросы***

- 1 Назначение триггеров и их типы.
- 2 Асинхронные триггеры.
- 3 Синхронные триггеры.
- 4 JK-, D- и T-триггеры.

## **4 Лабораторная работа № 4. Изучение работы счетчиков различного типа**

***Цель работы:*** исследовать различные типы счетчиков.

### ***Основные теоретические положения***

В ЭВМ счетчики используются для подсчета шагов программы, в различных элементах временной задержки и т. д. Собрать схемы суммирующих и вычитающих счетчиков на D- и JK-триггерах, используя приведенные схемы, составить таблицы двоичных сигналов на выходах триггеров в зависимости от количества входных импульсов (рисунки 4.1–4.3).

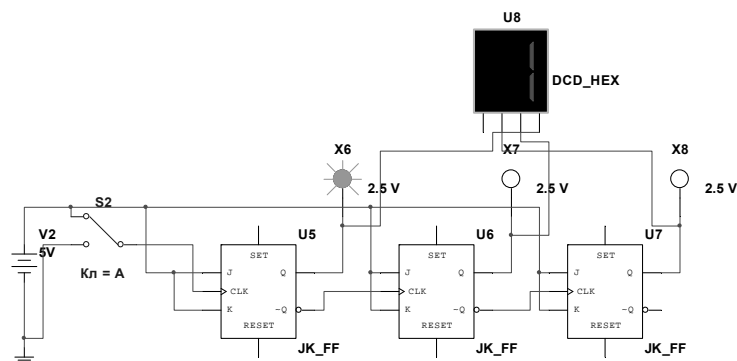


Рисунок 4.1 – Суммирующий счетчик на JK-триггерах



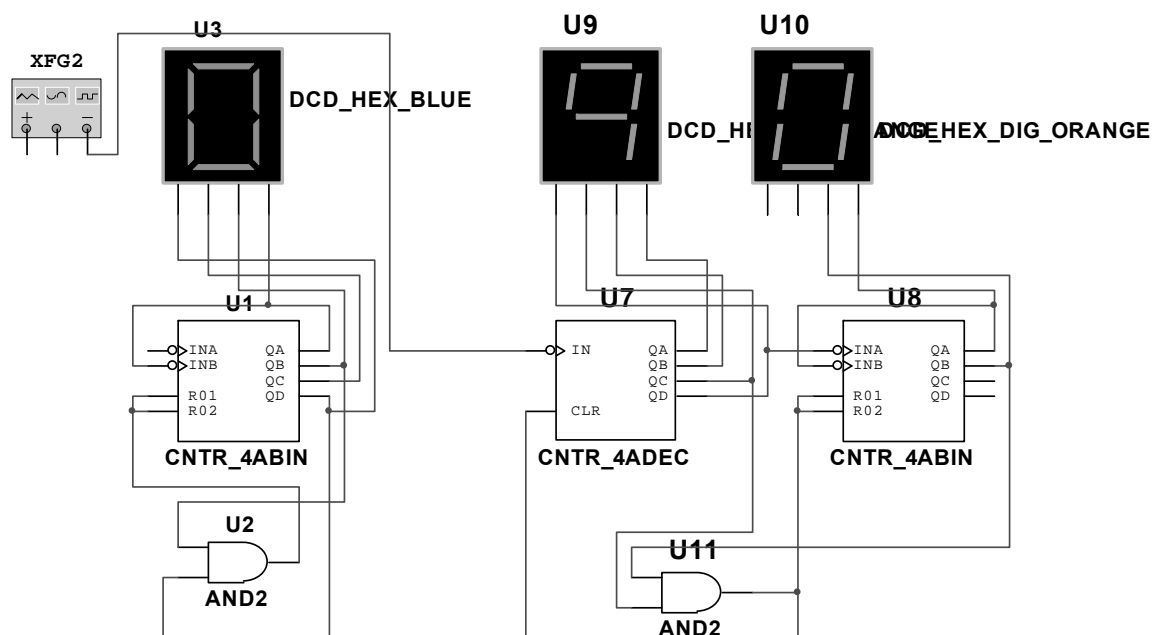


Рисунок 4.4 – Счетчик на 10 и 24 на микросхемах

### ***Порядок выполнения работы***

- 1 Собрать и исследовать схемы, приведенные далее.
- 2 Оформить отчет, содержащий схемы исследований на отдельных триггерах и микросхемах.

### ***Контрольные вопросы***

- 1 Как работает суммирующий счетчик на JK-триггерах?
- 2 Объяснить принцип работы счетчика с произвольным коэффициентом счета.
- 3 Как работает вычитающий счетчик на D-триггерах?
- 4 Как работает счетчик на микросхемах?

## **5 Лабораторная работа № 5. Исследование работы различных регистров**

***Цель работы:*** изучить назначение и типы регистров ЭВМ.

### ***Основные теоретические положения***

Регистры – это устройства, предназначенные для хранения и обработки информации. В зависимости от назначения они бывают последовательные, параллельные и комбинированные. На основании ранее предложенной схемы собрать *четырёхразрядный* последовательный регистр (рисунок 5.1).

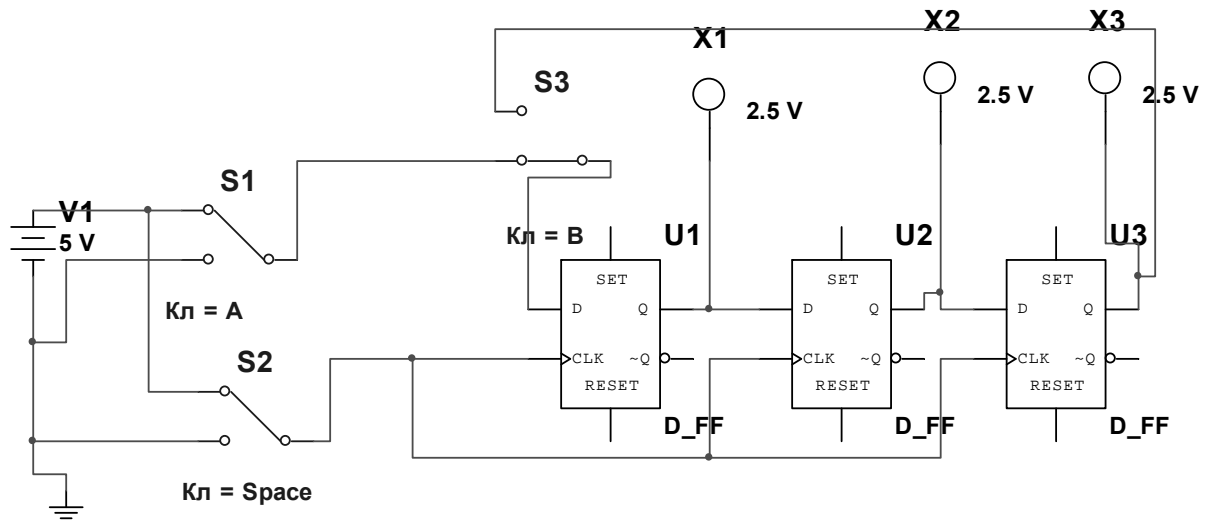


Рисунок 5.1 – Сдвиговый последовательный регистр

Регистр собран на D-триггерах. Запись информации производится с помощью ключа S2, при этом ключ S2 находится в нижнем положении, а входной код определяется положением ключа S1. Ключ S2 разомкнут. Для того чтобы информация не пропала, она может быть закольцована после записи соединением выхода последнего триггера со входом первого через ключ S3 (ключ S1 разомкнут) и многократно считываться без потерь с помощью ключа S2. Исследовать четырехразрядный параллельный регистр.

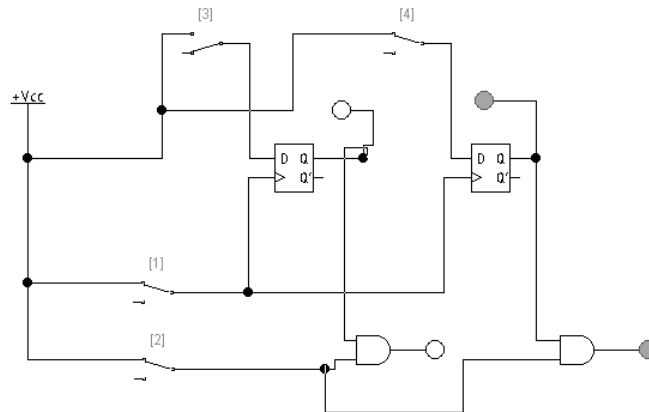


Рисунок 5.2 – Двухразрядный параллельный регистр

Схема двухразрядного параллельного регистра (рисунок 5.2) предусматривает ввод информации в регистр с помощью ключей 2 и 4 и узла записи – ключа 1. Считывание информации производится ключом 2 с помощью схем И. Преобразовать этот регистр в *четырёхразрядный*. Собрать последовательный сдвиговый регистр на микросхеме 74164 (рисунок 5.3). Подавая на вход сигналы с помощью ключей A и C, произвести запись и чтение информации из него (ключ B).

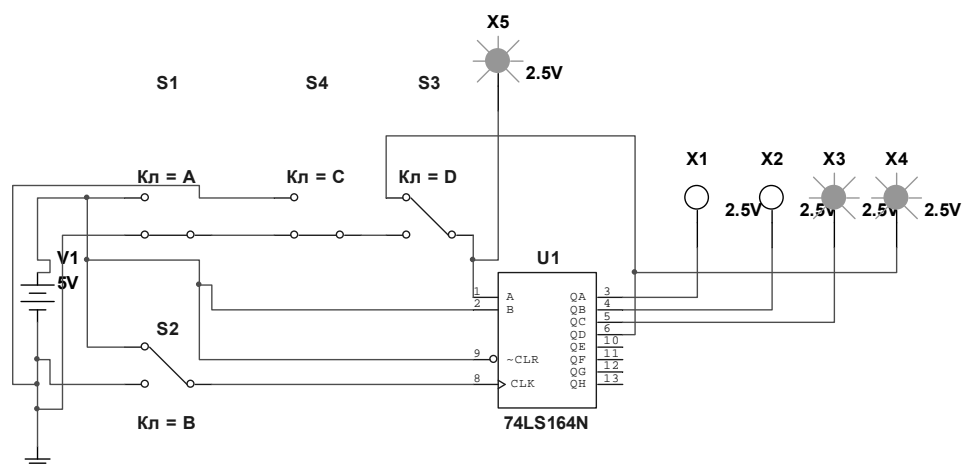


Рисунок 5.3 – Последовательный регистр на микросхеме

Преобразовать регистр в кольцевой, используя ключ D, и проверить его работу.

### ***Порядок выполнения работы***

- 1 Исследовать последовательный и кольцевой регистры.
- 2 Изучить работу параллельного регистра.
- 3 Исследовать реверсивный регистр.
- 4 Исследовать регистр на микросхеме.
- 5 Продемонстрировать работу преподавателю, оформить отчет с результатами исследований.

### ***Контрольные вопросы***

- 1 Как работает последовательный регистр?
- 2 Как работает кольцевой регистр?
- 3 Как работает параллельный регистр?
- 4 Как осуществляется сдвиг информации в регистре вправо и влево?
- 5 Как работает последовательный регистр на микросхеме?

## **6 Лабораторная работа № 6. Исследование работы преобразователей кода**

***Цель работы:*** изучить принципы преобразования двоичных кодов в ЭВМ при проведении различных операций.

### ***Основные теоретические положения***

Порты ввода/вывода могут передавать информацию в прямом и обратном кодах. Разработать устройство, позволяющее передавать на выход сигнал X в обратном или дополнительном кодах в зависимости от входного сигнала:



$Y = 1$  – в обратном коде,  $Y = 0$  – в дополнительном. Число разрядов – 4. Использовать таблицу истинности (таблица 6.1).

Таблица 6.1 – Таблица истинности преобразователя кода

X	Y	Z
0	1	1
1	1	0
0	0	0
1	0	1

Собрать схему, преобразующую входной сигнал в дополнительный код. Обратный код получается инверсией прямого кода. Правила образования дополнительного кода из прямого могут быть выражены соотношением  $Y_i = (x_1 + x_2 + x_3 + \dots + x_{i-1}) \otimes x_i$ . Отсюда следует, что  $x_1 = y_1$ , т. е. младшие разряды чисел в прямом и дополнительном кодах совпадают (рисунок 6.1).

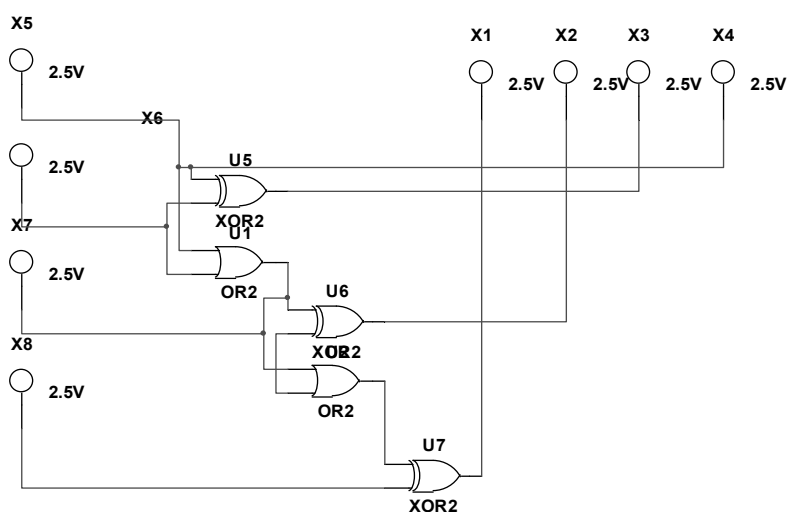


Рисунок 7.1 – Схема преобразователя кодов

### ***Порядок выполнения работы***

1 Согласно таблицам истинности разработать конкретные электрические схемы.

2 Продемонстрировать их работу преподавателю.

3 В отчете представить разработанные схемы.

### ***Контрольные вопросы***

1 Что такое прямой, обратный и дополнительный коды?

2 Как работает разработанная схема?

3 Какие элементы используются в схеме и почему?

## 7 Лабораторная работа № 7. Исследование работы дешифраторов и шифраторов

**Цель работы:** разработать устройства, предназначенные для преобразования десятичного кода в двоичный и обратно.

### Основные теоретические положения

Информация вводится в ЭВМ в десятичной форме, а ЭВМ работает в двоичном коде. Этот перевод осуществляется с помощью преобразователей кода – шифраторов. Для доступа к ячейкам памяти необходимо двоичный адрес операнда преобразовать в десятичный адрес ячейки. С этой целью применяются дешифраторы двоичного кода. Согласно таблице истинности (таблица 7.1) разработать четырехразрядный дешифратор и проверить его работу. На выход подключить цифровой индикатор. Логическая функция, описывающая его работу, имеет вид  $Y_1 = X_1X_2X_2X_4$ .

Таблица 7.1 – Таблица истинности для дешифратора

X1	X2	X2	X4	Y1	Y2	Y2	Y4
0	0	0	0	1	0	0	0
0	0	0	1	0	1	0	0
0	0	1	0	0	0	1	0
0	0	1	1	0	0	0	1

Индикация сигналов должна осуществляться с помощью светодиодов.

Разработать трехразрядный шифратор десятичных чисел согласно таблице истинности (таблица 7.2).

Разработать устройство, выдающее сигнал на выходе при наличии входных сигналов только на трех или четырех любых входах (таблица 7.3). Собрать дешифратор на микросхеме 74LS139D (рисунок 7.1) и исследовать его работу.

Таблица 7.2 – Таблица истинности для шифратора

Десятичное число	Y1	Y2	Y2	Y4
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
2	0	0	1	1
4	0	1	0	0
5	0	0	0	1
6	0	1	1	0

Таблица 7.3 – Таблица истинности устройства выбора

X1	X2	X2	X4	Y
1	1	0	1	1
1	0	1	1	1
1	1	1	0	1
0	0	1	0	0
1	1	0	0	0
0	1	1	1	1

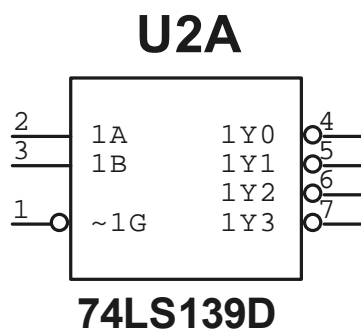


Рисунок 7.1 – Микросхема дешифратора

### ***Порядок выполнения работы***

- 1 Разработать схемы, указанные в задании далее.
- 2 Продемонстрировать их работу преподавателю.
- 3 Оформить отчет с разработанными схемами.

### ***Контрольные вопросы***

- 1 Функции дешифратора сигналов.
- 2 Функции шифратора сигналов.
- 3 Разработка устройства выбора.
- 4 Работа дешифратора на микросхеме.

## **8 Лабораторная работа № 8. Исследование работы мультиплексоров**

**Цель работы:** изучить принципы работы мультиплексоров и особенности их применения.

### ***Основные теоретические положения***

*Мультиплексор* – устройство, имеющее несколько сигнальных входов, один или более управляющих входов и один выход. Мультиплексор позволяет передавать сигнал с *одного* из входов на выход; при этом выбор желаемого входа осуществляется подачей соответствующей комбинации управляющих сигналов.

Устройство, противоположное мультиплексору по своей функции, называется *демультиплексором*.

Схематически мультиплексор можно изобразить в виде коммутатора, обеспечивающего подключение одного из нескольких входов (их называют **информационными**) к одному выходу устройства. Коммутатор обслуживает управляющая схема, в которой имеются адресные входы и, как правило, разрешающие (*стробирующие*).

Сигналы на **адресных** входах определяют, какой конкретно информационный канал подключен к выходу. Если между числом информационных входов и числом адресных входов действует соотношение  $n = 2^m$ , то такой мультиплексор называют полным. Если  $n < 2^m$ , то мультиплексор называют неполным.

**Разрешающие** входы используют для расширения функциональных возможностей мультиплексора. Они используются для наращивания разрядности мультиплексора, синхронизации его работы с работой других узлов. Сигналы на разрешающих входах могут разрешать, а могут и запрещать подключение определённого входа к выходу, т.е. могут блокировать действие всего устройства.

В качестве **управляющей схемы** обычно используется дешифратор. В цифровых мультиплексорах логические элементы коммутатора и дешифратора обычно объединяются.

Обобщенную схему мультиплексора можно представить следующим образом (рисунок 8.1).

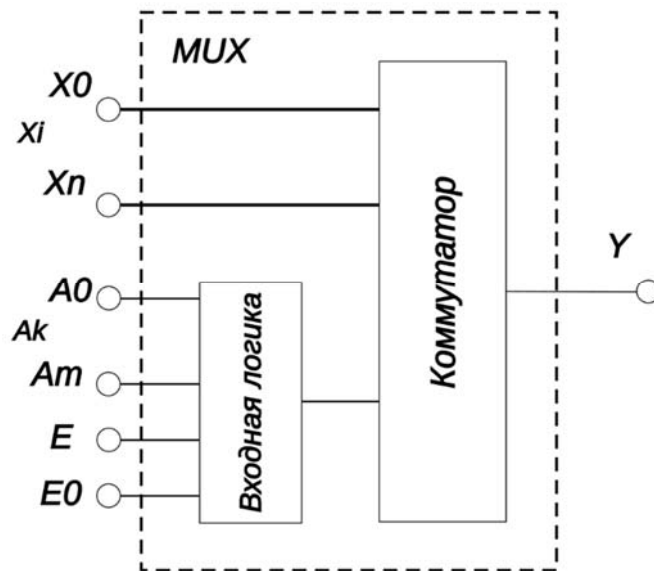


Рисунок 8.1 – Обобщенная схема мультиплексора

Входные логические сигналы  $X_i$  поступают на входы внутреннего коммутатора и через коммутатор передаются на выход  $Y$ . На вход управляющей схемы подаётся слово адресных сигналов  $A_k$ . Мультиплексор также может иметь дополнительный управляющий вход  $E$ , иногда этот вход обозначают на схемах CS, ко-

торый разрешает или запрещает прохождение входного сигнала на выход  $Y$ . Логический уровень разрешающего сигнала в разных конкретных моделях мультиплексоров может быть как логическая 1, так и логический 0, но в подавляющем количестве типов мультиплексоров выпускаемых промышленностью разрешающий сигнал логический 0. В разных типах мультиплексоров при запрещающем состоянии передачи на входе  $E$  на выходе  $Y$  может быть состояние 0 или 1.

Кроме этого, некоторые мультиплексоры имеют выход, который может принимать три состояния: два логических состояния 0 и 1 и третье состояние – отключённый выход (*высокоимпедансное состояние*, часто говорят *Z-состояние* – выходное сопротивление велико, выходной внутренней логической вентиль отключается от выхода специальным внутренним ключом). Такое техническое решение облегчает наращивание количества входных сигналов мультиплексора каскадированием нескольких микросхем мультиплексоров, при этом выходы микросхем просто электрически соединяются. Перевод мультиплексора в третье состояние производится подачей на вход  $OE$  логической 1, чаще логического 0 – опять же зависит от модели конкретного мультиплексора.

Мультиплексоры могут использоваться в делителях частоты, триггерных устройствах, сдвигающих устройствах и др. Мультиплексоры могут использоваться для преобразования параллельного двоичного кода в последовательный. Для такого преобразования достаточно подать на информационные входы мультиплексора параллельный двоичный код, а сигналы на адресные входы подавать в такой последовательности, чтобы к выходу поочередно подключались входы, начиная с первого и заканчивая последним.

### ***Порядок выполнения работы***

Собрать указанные электрические схемы и продемонстрировать их работу преподавателю. В отчете представить схемы и результаты.

### ***Контрольные вопросы***

1 Что такое мультиплексор и как он используется в цифровых системах связи и обработки данных?

2 Какова структура мультиплексора и какие типы входов и выходов он имеет?

3 Каковы критерии выбора мультиплексора для конкретной задачи, например, для передачи данных определенной скорости и объема?

4 Как происходит мультиплексирование данных на входе мультиплексора и какие методы используются для определения адреса выбранного канала?

5 Каковы возможные способы декодирования адреса для выбора нужного канала на выходе мультиплексора?

## 9 Лабораторная работа № 9. Исследование работы сумматоров

**Цель работы:** изучить работу сумматоров, использующихся для арифметического сложения двоичных чисел в ЭВМ.

### *Основные теоретические положения*

Для сложения чисел используются специальные устройства, называемые сумматорами. Для сложения младших разрядов используется полусумматор и возможен перенос в старший разряд, в котором будут складываться три разряда, и здесь необходим полный сумматор (рисунок 9.1). Результат сложения младших разрядов фиксируется индикатором  $S_0$ , возможный перенос из младшего разряда может быть зафиксирован  $P_0$ . Заполнить таблицу 9.1, приведенную далее, собрав схему.

Затем исследуем работу двухразрядного сумматора. Он состоит из полусумматора (PS1 и I1) для сложения двух младших разрядов (двух чисел) и полного сумматора для сложения старших разрядов и возможного переноса из младшего разряда трех чисел. Так как максимальное десятичное число, представленное двумя двоичными разрядами, равно 2, то произведем сложение различных чисел от 1 до 2. Здесь  $S_0$  – сумма младших разрядов,  $S_1$  – сумма старших разрядов,  $P_1$  – возможный перенос из старшего разряда суммы. Первое число –  $a_2a_1$ , второе –  $b_2b_1$ , переключатели 2 и 4 соответствуют  $a_2$  и  $b_2$ .

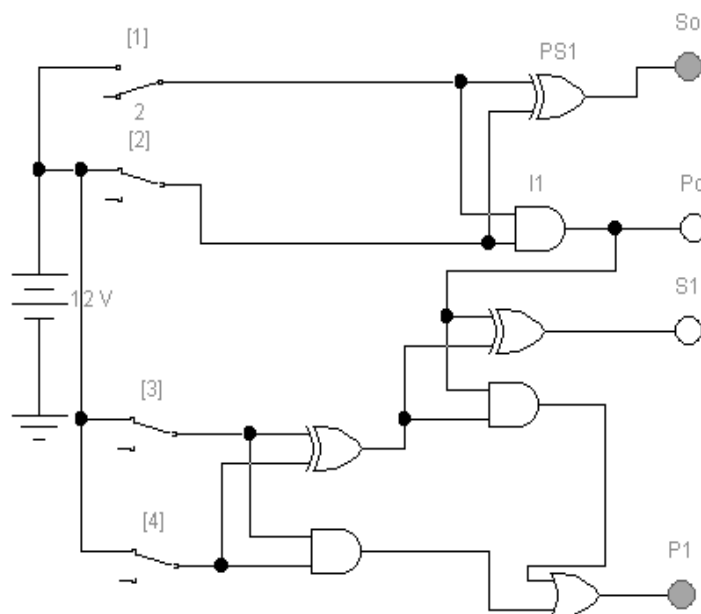


Рисунок 9.1 – Полный сумматор

Таблица 9.1 – Таблица полусумматора

a1	b1	So	Po

Заполним соответствующую таблицу (таблица 9.2). Пример  $a2a1 + b2b1 = P1S1So$  [10 + 01 = 011].

Таблица 9.2 – Таблица полного сумматора

a2	a1	b2	b1	P1	S1	So

На рисунке 9.2 приведена схема для сравнения двух двухразрядных чисел. Переключатели 5 и 6 соответствуют старшим разрядам чисел, а 7 и 8 – младшим. Собрать схему, подавая различные двоичные числа на входы, заполнить таблицу и объяснить работу устройства. Сначала сравниваются старшие разряды чисел и фиксируется результат, при их равенстве происходит сравнение младших разрядов чисел и результат выводится на те же индикаторы (таблица 9.3).

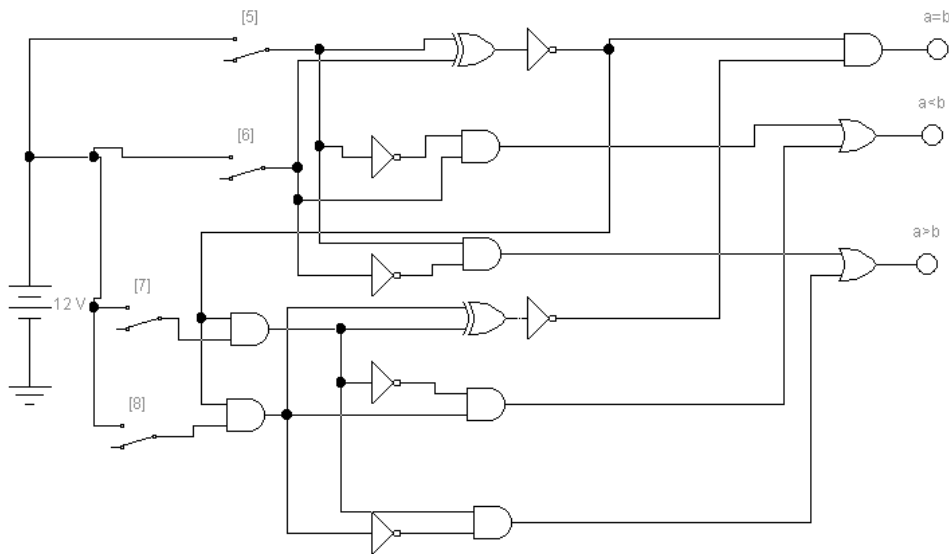


Рисунок 9.2 – Схема сравнения двухразрядных чисел

Таблица 9.3 – Таблица сравнения двух чисел

a2	a1	b2	b1	a = b	a < b	a > b

### ***Порядок выполнения работы***

Собрать указанные электрические схемы и продемонстрировать их работу преподавателю. В отчете представить схемы и результаты.

### ***Контрольные вопросы***

- 1 Как работает одноразрядный сумматор?
- 2 Как работает двухразрядный сумматор?
- 3 Как работает схема сравнения одноразрядных чисел?
- 4 Как работает схема сравнения многоразрядных чисел?

## **10 Лабораторная работа № 10. Исследование работы умножителей чисел**

***Цель работы:*** ознакомиться с принципами работы умножителей, используемых в АЛУ.

### ***Основные теоретические положения***

Умножение в бинарной системе счисления происходит точно так же, как в десятичной – по схеме *умножения столбиком*. Если множимое –  $k$  разрядное, а множитель –  $n$  разрядный, то для формирования произведения требуется вычислить  $n$  частичных произведений и сложить их между собой (рисунок 10.1).

$$\begin{array}{r}
 \phantom{x} \quad 1101 = a \\
 x \quad 1011 = b \\
 \hline
 \phantom{+} \quad 1101 = m_1 ; b=1011 \\
 + \quad 1101 = m_2 ; b=1011 \\
 + \quad 0000 = m_3 ; b=1011 \\
 + \quad 1101 = m_4 ; b=1011 \\
 \hline
 10001111 = p
 \end{array}$$

Рисунок 10.1 – Пример умножения в столбик

В бинарной системе для вычисления частичного произведения можно воспользоваться логическими элементами  $\&$  – конъюнкторами. Каждое частичное произведение  $m_i$  – это результат выполнения  $k$  логических операции  $\&$  (между текущим  $i$ , где  $i = 1..n$ , разрядом множителя и всеми  $k$  разрядами множимого) и сдвига результата логической операции влево на число разрядов, соответствующее весу текущего разряда множителя. Матричный умножитель вычисляет частичные произведения по формуле

$$m_i = 2^{i-1}(a \& b_i), (i = 1..n)$$



Суммирование частичных произведений. На этом этапе происходит сложение всех частичных произведений  $m$ .

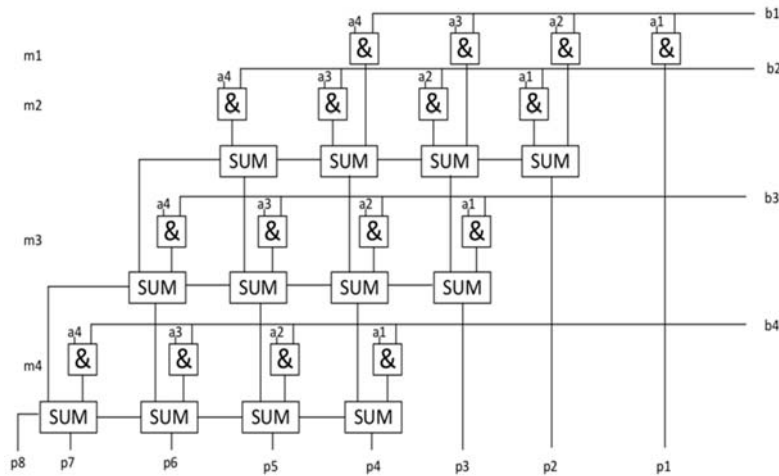


Рисунок 10.2 – Схема матричного умножителя

Принципиальная схема умножителя, реализующая алгоритм двоичного умножения в столбик для двух четырёхразрядных чисел, приведена на рисунке. Формирование частичных произведений осуществляется посредством логических элементов  $\&$ . Полные одноразрядные сумматоры обеспечивают формирование разрядов результата. Разрядность результата  $l$  определяется разрядностью множителя  $n$  и множимого  $k$ :

$$l = n + k.$$

Все конъюнкторы работают параллельно. Полные одноразрядные сумматоры обеспечивают поразрядное сложение результатов конъюнкций и переносов из предыдущих разрядов сумматора. В приведенной схеме использованы четырехразрядные сумматоры с последовательным переносом. Время выполнения операции умножения определяется временем распространения переносов до выходного разряда  $p8$ .

Если внимательно посмотреть на схему **матричного умножителя** (рисунок 10.2), то можно увидеть, что она образует матрицу, сформированную проводниками, по которым передаются разряды числа  $A$  и числа  $B$ . В точках пересечения этих проводников находятся логические элементы  $\&$ . Именно по этой причине умножители, реализованные по данной схеме, получили название матричных умножителей. Есть и более быстрые способы умножения двух чисел, например, умножение с помощью дерева Уоллеса.

### ***Порядок выполнения работы***

Собрать указанные электрические схемы и продемонстрировать их работу преподавателю. В отчете представить схемы и результаты.

## Контрольные вопросы

- 1 Что такое матричный умножитель и какой принцип его работы?
- 2 Какова структура матричного умножителя и какие типы входов и выходов он имеет?
- 3 Каковы критерии выбора матричного умножителя для конкретной задачи?

## 11 Лабораторная работа № 11. Исследование работы АЛУ

**Цель работы:** ознакомиться с принципами работы основного узла процессора арифметико-логического устройства (АЛУ), собрать одноразрядное АЛУ, собрать АЛУ на микросхеме и исследовать их работу.

### Основные теоретические положения

АЛУ является основным исполнительным узлом процессора, предназначенным для выполнения логических и арифметических операций. Для наглядности рассмотрим вначале одноразрядное АЛУ (см. рисунок 11.1). В одноразрядном АЛУ все действия выполняются параллельно, а выводится результат, заданный рассматриваемым режимом. В многоразрядном АЛУ на микросхеме выполняется только та операция, которая задана таблицей, и в ней учитывается возможность переносов из младших разрядов.

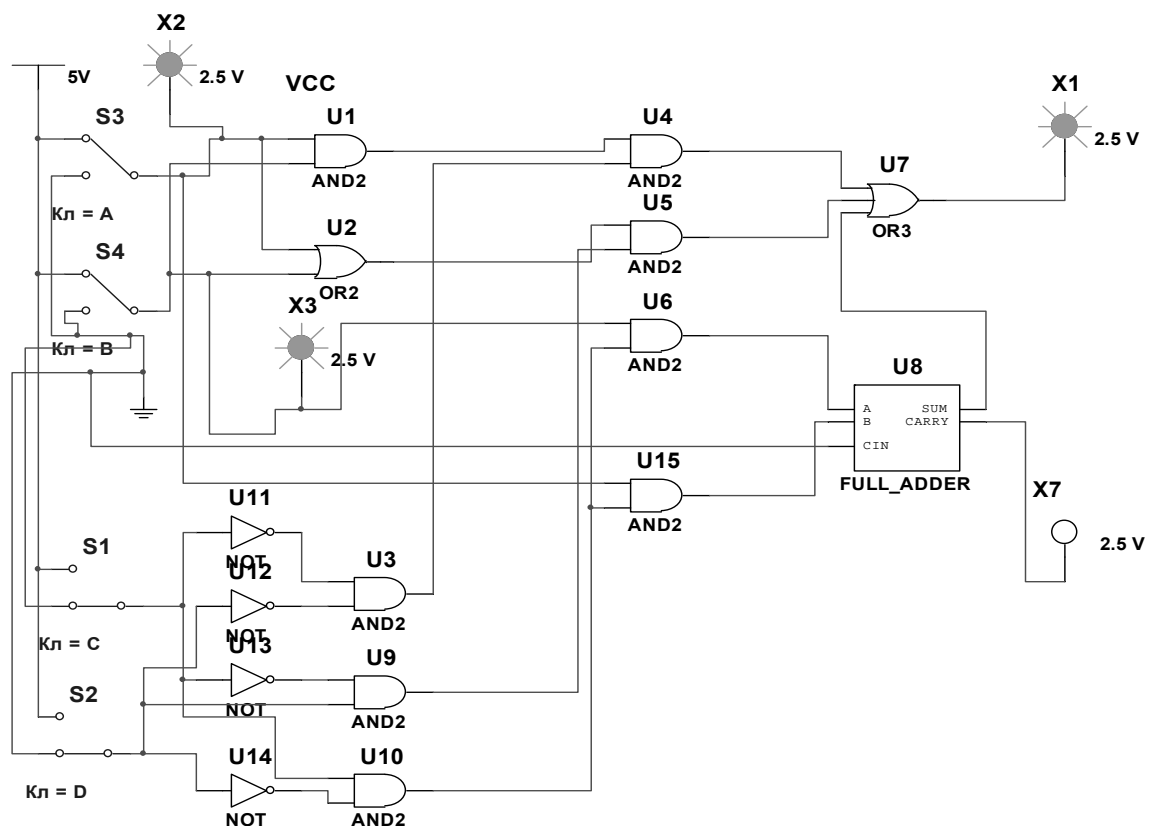


Рисунок 11.1 – Одноразрядное АЛУ

Ключи S3 и S4 используются для ввода информации, ключи S1 и S2 задают режим работы (00 – логическое умножение И, 01 – логическое сложение ИЛИ, 10 – арифметическое сложение). X1 – результат логических операций, X1 и X7 – арифметическая сумма чисел и перенос в старший разряд. Подавая различные комбинации информационных сигналов, полученные результаты занести в таблицу истинности.

Во второй части работы используем готовую микросхему, которая в зависимости от выбранного режима может выполнять различные функции. Исследовать работу устройства на микросхеме 74181 (рисунок 11.2). Подавая на входы А и В различные комбинации двоичных четырехразрядных чисел и задавая режимы работы с помощью входов S0, S1, S2 и S3 через переключатели, получить результаты операций на выходах F. Активными являются сигналы высокого уровня. В качестве индикаторов использовать цифровые дешифраторы. Установить соответствующие уровни сигналов на остальных выводах микросхем. Выбрать режим арифметических операций без входного переноса (рисунок 11.3). Изменяя режимы работы микросхемы, можно исследовать работу более шестидесяти различных арифметических и логических операций АЛУ. Цифровые индикаторы используются для вывода информации в десятичном коде. При работе следует обращать особое внимание на установку режимов логических и арифметических операций, учитывая возможность переноса из старших разрядов. Результаты логических операций должны быть представлены в отчете с указанием двоичных кодов выполняемых команд.

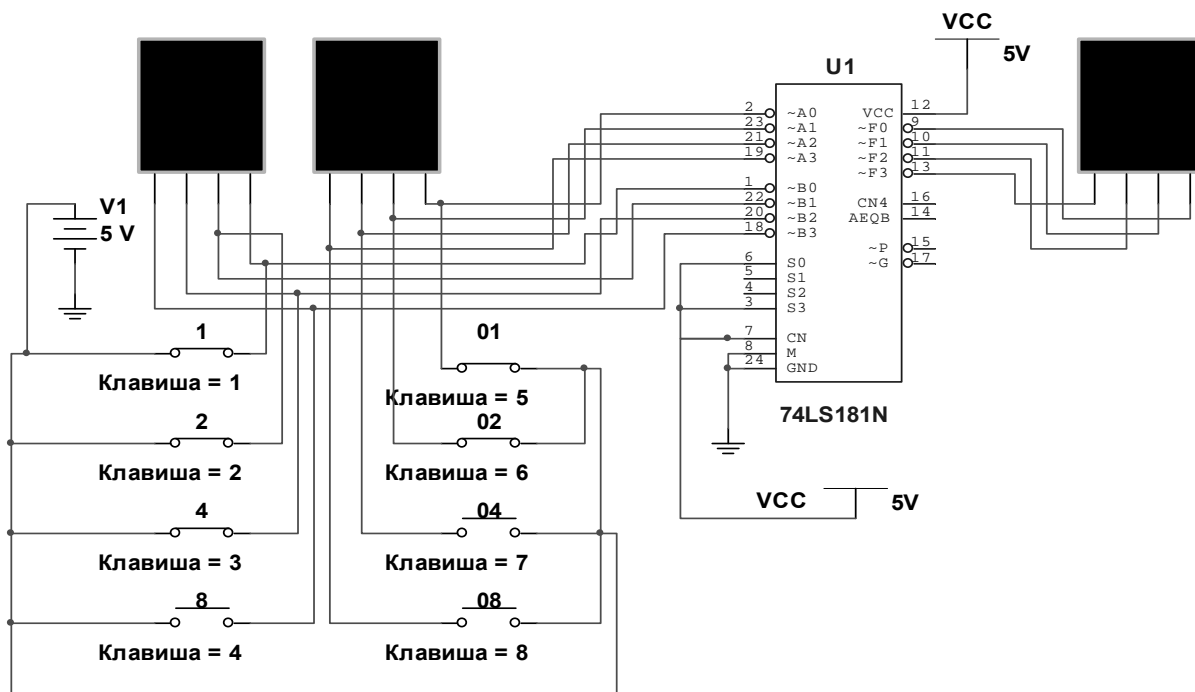


Рисунок 11.2 – АЛУ на микросхеме

S3	S2	S1	S0	M=1 (логические операции)	M=0 (арифметические операции)	
					CN=1 (входной перенос отсутствует)	CN=0
0	0	0	0	$\bar{A}$	$A$	$A+1$
0	0	0	1	$\overline{A \vee B}$	$A \vee B$	$(A \vee B)+1$
0	0	1	0	$\overline{A \wedge B}$	$A \vee \bar{B}$	$(A \vee \bar{B})+1$
0	0	1	1	0	-1	0
0	1	0	0	$\overline{A \wedge B}$	$A+A \wedge \bar{B}$	$(A+A \wedge \bar{B})+1$
0	1	0	1	$\bar{B}$	$(A \vee B)+A \wedge \bar{B}$	$(A \vee B)+A \wedge \bar{B}+1$
0	1	1	0	$A \oplus B$	$A-B-1$	$A-B$
0	1	1	1	$A \wedge \bar{B}$	$A \wedge \bar{B}-1$	$A \wedge \bar{B}$
1	0	0	0	$\overline{A \vee B}$	$A+A \wedge B$	$A+A \wedge B+1$
1	0	0	1	$A \oplus \bar{B}$	$A+B$	$A+B+1$
1	0	1	0	B	$(A \vee \bar{B})+A \wedge B$	$(A \vee \bar{B})+A \wedge B+1$
1	0	1	1	$A \wedge B$	$A \wedge B-1$	$A \wedge B$
1	1	0	0	1	$A+A$	$A+A+1$
1	1	0	1	$A \vee \bar{B}$	$(A \vee B)+A$	$(A \vee B)+A+1$
1	1	1	0	$A \vee B$	$(A \vee \bar{B})+A$	$(A \vee \bar{B})+A+1$
1	1	1	1	A	$A-1$	A

Рисунок 11.3 – Таблица операций АЛУ

### **Порядок выполнения работы**

1 Изучить основные теоретические положения.

2 Собрать схему одноразрядного АЛУ из набора логических элементов и проверить его работу (рисунок 11.1). Во второй части работы выполнить несколько операций АЛУ на микросхеме, используя таблицу, по указанию преподавателя.

3 Оформить отчет, содержащий краткие описания работы простейшего АЛУ и АЛУ на микросхеме.

### **Контрольные вопросы**

- 1 Какие операции выполняет рассматриваемое АЛУ?
- 2 Чем отличается выполнение логических и арифметических операций?
- 3 Как влияет сигнал переноса из предыдущего разряда на результат?
- 4 Чем отличается выполнение логических и арифметических операций?

### **Список литературы**

- 1 **Бройдо, В. Л.** Вычислительные системы, сети и телекоммуникации: учебник / В. Л. Бройдо. – 4-е изд. – Санкт-Петербург: Питер, 2012. – 560 с.: ил.
- 2 **Партыка, Т. Л.** Вычислительная техника: учебное пособие / Т. Л. Партыка, И. И. Попов. – 3-е изд., перераб. и доп. – Москва: ФОРУМ; ИНФРА-М, 2017. – 445 с.: ил.