

ГОСУДАРСТВЕННОЕ УЧРЕЖДЕНИЕ  
ВЫСШЕГО ПРОФЕССИОНАЛЬНОГО ОБРАЗОВАНИЯ  
«БЕЛОРУССКО-РОССИЙСКИЙ УНИВЕРСИТЕТ»

Кафедра «Физические методы контроля»

# ЭЛЕКТРОТЕХНИКА, ЭЛЕКТРОНИКА И СХЕМОТЕХНИКА

*Методические рекомендации к лабораторным работам  
для студентов направления подготовки  
09.03.01 «Информатика и вычислительная техника»  
дневной формы обучения*

Часть 3



Могилев 2018

УДК 621.3  
ББК 32.81  
Э 45

Рекомендовано к изданию  
учебно-методическим отделом  
Белорусско-Российского университета

Одобрено кафедрой «Физические методы контроля» «5» октября 2018 г.,  
протокол № 3

Составители: канд. техн. наук, доц. А. Г. Старовойтов;  
ст. преподаватель И. В. Курлович

Рецензент канд. техн. наук, доц. А. П. Прудников

Методические рекомендации к лабораторным работам для студентов  
направления подготовки 09.03.01 «Информатика и вычислительная техника»  
дневной формы обучения.

Учебно-методическое издание

## ЭЛЕКТРОТЕХНИКА, ЭЛЕКТРОНИКА И СХЕМОТЕХНИКА

### Часть 3

Ответственный за выпуск

С. С. Сергеев

Технический редактор

А. А. Подошевка

Компьютерная верстка

Н. П. Полевничая

Подписано в печать . Формат 60×84/16. Бумага офсетная. Гарнитура Таймс.  
Печать трафаретная. Усл. печ. л. . Уч.-изд. л. . Тираж 16 экз. Заказ №

Издатель и полиграфическое исполнение:  
Государственное учреждение высшего профессионального образования  
«Белорусско-Российский университет».  
Свидетельство о государственной регистрации издателя,  
изготовителя, распространителя печатных изданий  
№ 1/156 от 24.01.2014.  
Пр. Мира, 43, 212000, Могилев.

© ГУ ВПО «Белорусско-Российский  
университет», 2018



## Содержание

|   |    |
|---|----|
| 18 Исследование работы логических элементов.....  | 4  |
| 19 Исследование работы триггеров.....   | 10 |
| 20 Исследование работы регистров, счетчиков, дешифраторов<br>и полупроводниковых индикаторов..... | 19 |
| 21 Исследование работы цифроаналоговых и аналого-цифровых<br>преобразователей.....                | 28 |
| 22 Исследование работы сумматора двоичных чисел.....  | 34 |
| Список литературы .....   | 36 |

## Часть 3

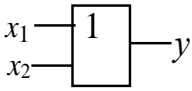
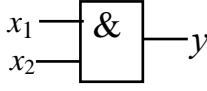
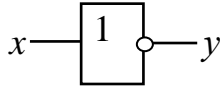
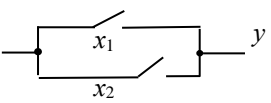
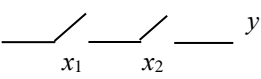
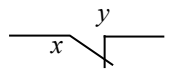
### 18 Исследование работы логических элементов

**Цель работы:** изучение принципа функционирования и характеристик логических элементов.

#### 18.1 Основные теоретические сведения

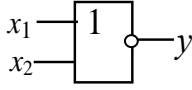
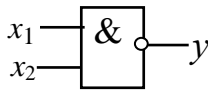
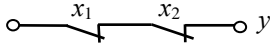
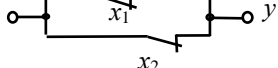
Логические элементы предназначены для выполнения логических операций: логическое отрицание НЕ (инверсия), логическое сложение ИЛИ (дизъюнкция), логическое умножение И (конъюнкция) (таблица 18.1).

Таблица 18.1 – Формы отображения основных логических функций

| Наименование функции   | Дизъюнкция  | Конъюнкция   | Инверсия  |     |   |   |   |   |   |   |   |   |   |   |   |   |   |       |       |     |   |   |   |   |   |   |   |   |   |   |   |   |  |     |     |   |   |   |   |
|------------------------|---|--|---|-----|---|---|---|---|---|---|---|---|---|---|---|---|---|-------|-------|-----|---|---|---|---|---|---|---|---|---|---|---|---|--|-----|-----|---|---|---|---|
| Символическая          | $\vee$ или $+$  | $\wedge$ или $\cdot$   | $\bar{x}$   |     |   |   |   |   |   |   |   |   |   |   |   |   |   |       |       |     |   |   |   |   |   |   |   |   |   |   |   |   |  |     |     |   |   |   |   |
| Буквенная              | ИЛИ   | И  | НЕ  |     |   |   |   |   |   |   |   |   |   |   |   |   |   |       |       |     |   |   |   |   |   |   |   |   |   |   |   |   |  |     |     |   |   |   |   |
| Условная графическая   |   |   |   |     |   |   |   |   |   |   |   |   |   |   |   |   |   |       |       |     |   |   |   |   |   |   |   |   |   |   |   |   |  |     |     |   |   |   |   |
| Аналитическая          | $y = x_1 \vee x_2 = x_1 + x_2$  | $y = x_1 \wedge x_2 = x_1 x_2$   | $y = \bar{x}$   |     |   |   |   |   |   |   |   |   |   |   |   |   |   |       |       |     |   |   |   |   |   |   |   |   |   |   |   |   |  |     |     |   |   |   |   |
| Табличная (истинности) | <table><tr><td><math>x_1</math></td><td><math>x_2</math></td><td><math>y</math></td></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table> | $x_1$  | $x_2$   | $y$ | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | <table><tr><td><math>x_1</math></td><td><math>x_2</math></td><td><math>y</math></td></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table> | $x_1$ | $x_2$ | $y$ | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | <table><tr><td><math>x</math></td><td><math>y</math></td></tr><tr><td>0</td><td>1</td></tr><tr><td>1</td><td>0</td></tr></table> | $x$ | $y$ | 0 | 1 | 1 | 0 |
| $x_1$                  | $x_2$   | $y$  |   |     |   |   |   |   |   |   |   |   |   |   |   |   |   |       |       |     |   |   |   |   |   |   |   |   |   |   |   |   |  |     |     |   |   |   |   |
| 0                      | 0   | 0  |   |     |   |   |   |   |   |   |   |   |   |   |   |   |   |       |       |     |   |   |   |   |   |   |   |   |   |   |   |   |  |     |     |   |   |   |   |
| 0                      | 1   | 1  |   |     |   |   |   |   |   |   |   |   |   |   |   |   |   |       |       |     |   |   |   |   |   |   |   |   |   |   |   |   |  |     |     |   |   |   |   |
| 1                      | 0   | 1  |   |     |   |   |   |   |   |   |   |   |   |   |   |   |   |       |       |     |   |   |   |   |   |   |   |   |   |   |   |   |  |     |     |   |   |   |   |
| 1                      | 1   | 1  |   |     |   |   |   |   |   |   |   |   |   |   |   |   |   |       |       |     |   |   |   |   |   |   |   |   |   |   |   |   |  |     |     |   |   |   |   |
| $x_1$                  | $x_2$   | $y$  |   |     |   |   |   |   |   |   |   |   |   |   |   |   |   |       |       |     |   |   |   |   |   |   |   |   |   |   |   |   |  |     |     |   |   |   |   |
| 0                      | 0   | 0  |   |     |   |   |   |   |   |   |   |   |   |   |   |   |   |       |       |     |   |   |   |   |   |   |   |   |   |   |   |   |  |     |     |   |   |   |   |
| 0                      | 1   | 0  |   |     |   |   |   |   |   |   |   |   |   |   |   |   |   |       |       |     |   |   |   |   |   |   |   |   |   |   |   |   |  |     |     |   |   |   |   |
| 1                      | 0   | 0  |   |     |   |   |   |   |   |   |   |   |   |   |   |   |   |       |       |     |   |   |   |   |   |   |   |   |   |   |   |   |  |     |     |   |   |   |   |
| 1                      | 1   | 1  |   |     |   |   |   |   |   |   |   |   |   |   |   |   |   |       |       |     |   |   |   |   |   |   |   |   |   |   |   |   |  |     |     |   |   |   |   |
| $x$                    | $y$   |  |   |     |   |   |   |   |   |   |   |   |   |   |   |   |   |       |       |     |   |   |   |   |   |   |   |   |   |   |   |   |  |     |     |   |   |   |   |
| 0                      | 1   |  |   |     |   |   |   |   |   |   |   |   |   |   |   |   |   |       |       |     |   |   |   |   |   |   |   |   |   |   |   |   |  |     |     |   |   |   |   |
| 1                      | 0   |  |   |     |   |   |   |   |   |   |   |   |   |   |   |   |   |       |       |     |   |   |   |   |   |   |   |   |   |   |   |   |  |     |     |   |   |   |   |
| Контактная             |    |  |  |     |   |   |   |   |   |   |   |   |   |   |   |   |   |       |       |     |   |   |   |   |   |   |   |   |   |   |   |   |  |     |     |   |   |   |   |

К базовым логическим элементам относятся элементы Пирса и Шеффера (таблица 18.2). На основе этих простых операций могут строиться и более сложные. Для описания логических операций используется алгебра логики. Она широко применяется в теории цифровой техники, в которой используются устройства, имеющие два устойчивых состояния равновесия. При этом одно из состояний, соответствующее, например, высокому уровню напряжения, обозначается *единицей*, а соответствующее низкому уровню напряжения – *нулем*. Уровень выходного напряжения логического элемента зависит от уровня входного (или нескольких входных) напряжения. Эта связь отображается таблицей состояний (таблицей истинности).

Таблица 18.2 – Формы отображения базовых логических функций

| Наименование функции      | Функция Пирса  | Функция Шеффера   |       |     |   |   |   |   |   |   |   |   |   |   |   |   |  |       |       |     |   |   |   |   |   |   |   |   |   |   |   |   |
|---------------------------|--|---|-------|-----|---|---|---|---|---|---|---|---|---|---|---|---|--|-------|-------|-----|---|---|---|---|---|---|---|---|---|---|---|---|
| Символическая             | $\downarrow$   | $ $   |       |     |   |   |   |   |   |   |   |   |   |   |   |   |  |       |       |     |   |   |   |   |   |   |   |   |   |   |   |   |
| Буквенная                 | ИЛИ-НЕ   | И-НЕ  |       |     |   |   |   |   |   |   |   |   |   |   |   |   |  |       |       |     |   |   |   |   |   |   |   |   |   |   |   |   |
| Условная<br>графическая   |   |  |       |     |   |   |   |   |   |   |   |   |   |   |   |   |  |       |       |     |   |   |   |   |   |   |   |   |   |   |   |   |
| Аналитическая             | $y = x_1 \downarrow x_2$   | $y = x_1   x_2$   |       |     |   |   |   |   |   |   |   |   |   |   |   |   |  |       |       |     |   |   |   |   |   |   |   |   |   |   |   |   |
| Табличная<br>(истинности) | <table border="1" data-bbox="686 593 917 795"> <tr><td><math>x_1</math></td><td><math>x_2</math></td><td><math>y</math></td></tr> <tr><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>0</td></tr> </table> | $x_1$   | $x_2$ | $y$ | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | <table border="1" data-bbox="1109 593 1340 795"> <tr><td><math>x_1</math></td><td><math>x_2</math></td><td><math>y</math></td></tr> <tr><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>0</td></tr> </table> | $x_1$ | $x_2$ | $y$ | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 0 |
| $x_1$                     | $x_2$  | $y$   |       |     |   |   |   |   |   |   |   |   |   |   |   |   |  |       |       |     |   |   |   |   |   |   |   |   |   |   |   |   |
| 0                         | 0  | 1   |       |     |   |   |   |   |   |   |   |   |   |   |   |   |  |       |       |     |   |   |   |   |   |   |   |   |   |   |   |   |
| 0                         | 1  | 0   |       |     |   |   |   |   |   |   |   |   |   |   |   |   |  |       |       |     |   |   |   |   |   |   |   |   |   |   |   |   |
| 1                         | 0  | 0   |       |     |   |   |   |   |   |   |   |   |   |   |   |   |  |       |       |     |   |   |   |   |   |   |   |   |   |   |   |   |
| 1                         | 1  | 0   |       |     |   |   |   |   |   |   |   |   |   |   |   |   |  |       |       |     |   |   |   |   |   |   |   |   |   |   |   |   |
| $x_1$                     | $x_2$  | $y$   |       |     |   |   |   |   |   |   |   |   |   |   |   |   |  |       |       |     |   |   |   |   |   |   |   |   |   |   |   |   |
| 0                         | 0  | 1   |       |     |   |   |   |   |   |   |   |   |   |   |   |   |  |       |       |     |   |   |   |   |   |   |   |   |   |   |   |   |
| 0                         | 1  | 1   |       |     |   |   |   |   |   |   |   |   |   |   |   |   |  |       |       |     |   |   |   |   |   |   |   |   |   |   |   |   |
| 1                         | 0  | 1   |       |     |   |   |   |   |   |   |   |   |   |   |   |   |  |       |       |     |   |   |   |   |   |   |   |   |   |   |   |   |
| 1                         | 1  | 0   |       |     |   |   |   |   |   |   |   |   |   |   |   |   |  |       |       |     |   |   |   |   |   |   |   |   |   |   |   |   |
| Контактная                |   |  |       |     |   |   |   |   |   |   |   |   |   |   |   |   |  |       |       |     |   |   |   |   |   |   |   |   |   |   |   |   |

К разновидностям логических микросхем, применяемых на практике, относятся ТТЛ (TTL, транзисторно-транзисторная логика) и КМОП (CMOS, комплементарная Металл-Оксид-Полупроводник). В ТТЛ используются биполярные транзисторы, а в КМОП – полевые комплементарные транзисторы с изолированным затвором.

В общем случае элемент НЕ представляет транзисторный ключ на полевом или биполярном транзисторе.

В ТТЛ операцию «И» выполняет многоэмиттерный транзистор (рисунок 18.1). Если хотя бы на один из входов будет подаваться сигнал логического нуля, соответствующий эмиттерный переход транзистора VT1 будет открыт и через него будет протекать ток от плюса источника питания (ИП), через резистор  $R_1$ , база-эмиттер VT1, общий провод, минус источника питания. В цепи коллектора VT1, а следовательно, и в цепи базы VT2 ток будет отсутствовать, транзистор VT2 будет находиться в режиме отсечки, на выходе будет высокий уровень напряжения логической единицы. При подаче на оба входа логических единиц оба эмиттерных перехода закрываются и ток будет протекать по цепи от плюса ИП, через  $R_1$ , база-коллектор VT1 и на базу VT2. Транзистор VT2 перейдет в режим насыщения и на выходе установится низкий уровень напряжения логического нуля.

Серии ТТЛ микросхем: K155 (74), K555 (74LS), K1531 (74F), K1533 (74LS).

Если на оба входа поданы нули, то в транзисторах VT1 и VT4 с каналами  $n$ -типа каналы отсутствуют, а в VT2 и VT3 каналы индуцируются и через них выход  $Y$  связан с плюсом источника питания, следовательно, на выходе логическая единица (рисунок 18.2).

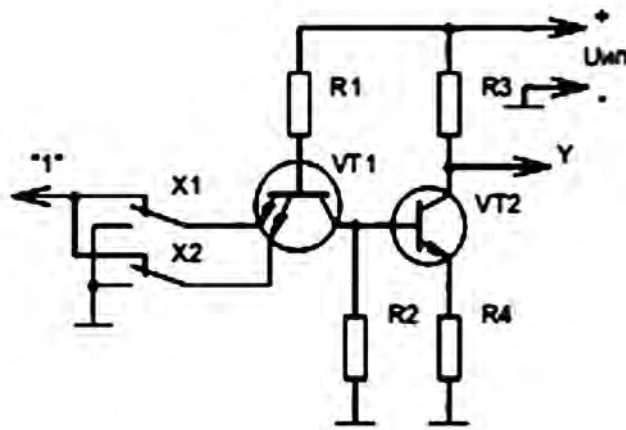


Рисунок 18.1 – Схема элемента 2И-НЕ в ТТЛ-логике

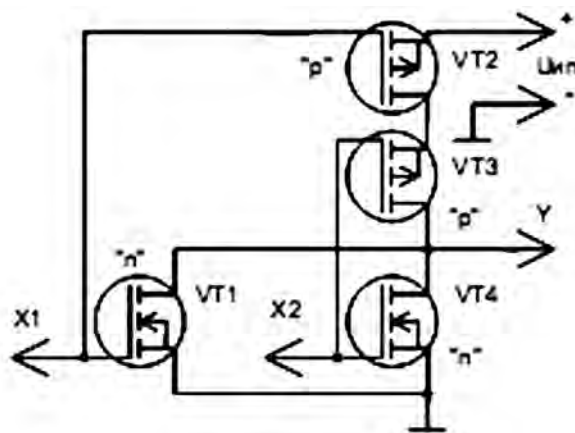


Рисунок 18.2 – Схема элемента 2ИЛИ-НЕ в КМОП-логике

Если хотя бы на один из входов подать логическую единицу, то в соответствующем транзисторе  $p$ -типа канал исчезает и выход  $Y$  отключается от плюса ИП, а в соответствующем транзисторе с каналом  $n$ -типа канал индуцируется и через него выход  $Y$  соединяется с общим проводом, следовательно, на выходе будет логический нуль.

Достоинство КМОП-логики – малое потребление тока от источника питания, недостаток – низкое быстродействие. Серии микросхем КМОП: К561 (CD4000В), К564, К1561 (CD4000В), К1564 (54НС).

## 18.2 Порядок выполнения работы

18.2.1 В программе Multisim собрать схему для испытания основных и базовых логических элементов (рисунок 18.3) OR (ИЛИ), AND (И), NOT (НЕ), NAND (И-НЕ) и XOR (ИЛИ-НЕ), расположенных в библиотеке Misc Digital/TIL с уровнем высокого напряжения 5 В. В схему включены ключи SB1 и SB2, пробники X1, X2 и Y1...Y5 с пороговыми напряжениями 5 В. Если входной или выходной сигнал элемента равен логической единице, то включенный на выходе этого элемента пробник светится.

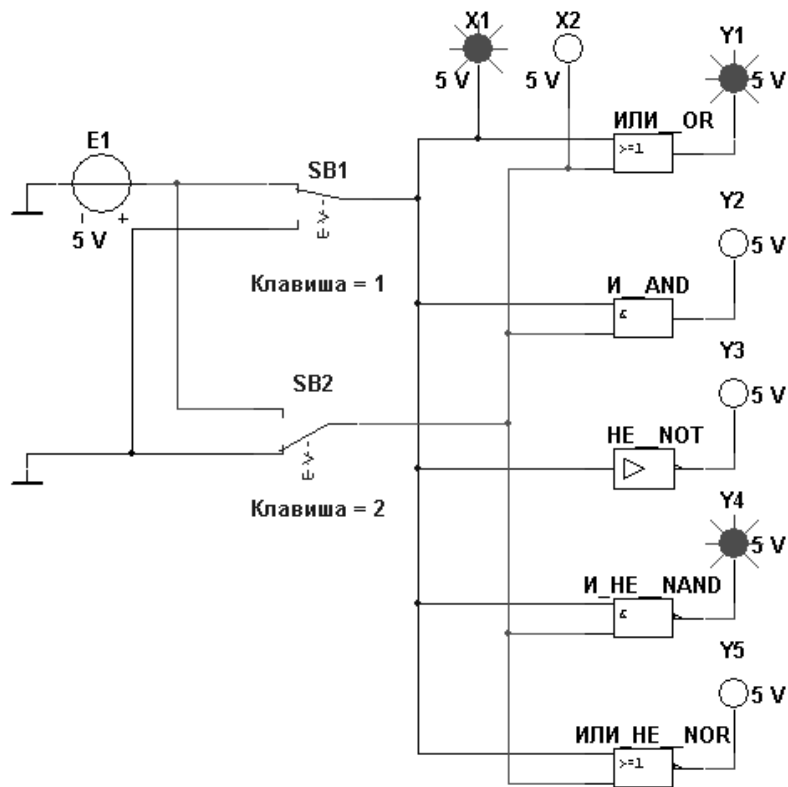


Рисунок 18.3 – Схема для исследования основных и базовых логических элементов

Результаты моделирования занести в таблицу 18.3.

Таблица 18.3 – Результаты моделирования

| Дизъюнктор<br>[ИЛИ (OR)] |       |     | Конъюнктор<br>[И (AND)] |       |     | Инвертор<br>[НЕ (NOT)] |     | Штрих Шеффера<br>[И-НЕ (NAND)] |       |     | Стрелка Пирса<br>[ИЛИ-НЕ (NOR)] |       |     |
|--------------------------|-------|-----|-------------------------|-------|-----|------------------------|-----|--------------------------------|-------|-----|---------------------------------|-------|-----|
| $x_1$                    | $x_2$ | $y$ | $x_1$                   | $x_2$ | $y$ | $x$                    | $y$ | $x_1$                          | $x_2$ | $y$ | $x_1$                           | $x_2$ | $y$ |
| 0                        | 0     |     | 0                       | 0     |     | 0                      |     | 0                              | 0     |     | 0                               | 0     |     |
| 0                        | 1     |     | 0                       | 1     |     |                        |     | 0                              | 1     |     | 0                               | 1     |     |
| 1                        | 0     |     | 1                       | 0     |     | 1                      |     | 1                              | 0     |     | 1                               | 0     |     |
| 1                        | 1     |     | 1                       | 1     |     |                        |     | 1                              | 1     |     | 1                               | 1     |     |

18.2.2 Исследовать работу элементов 2И-НЕ, 2ИЛИ-НЕ, реализованных на базе ТТЛ- и КМОМ-логики в программе Multisim (рисунки 18.4 и 18.5).

18.2.3 По заданию преподавателя исследовать работу трех логических элементов одной из серий интегральных микросхем (рисунок 18.6), предварительно выписав из справочника их параметры и условное обозначение. Составить таблицу истинности для данных элементов.

18.2.4 Для экспериментального исследования работы логического элемента, заданного преподавателем, на макетной плате собрать схему, например, приведенную на рисунке 18.7.

Питание микросхемы осуществляется от источника НУ3002-D2 или выхода +5 В устройства сбора данных NI USB-6009. Сигналы входных переменных  $X$  формируются цифровыми выходами P0.0...P0.2 устройства NI USB-6009, приём

сигнала логической функции  $Y$  осуществляется цифровым входом P1.0, что реализовано блоками DAQ Assistant блок-диаграммы виртуального прибора (рисунок 18.8). Входы и выход логического элемента подключаются к каналам аналогового ввода AI1...AI3 устройства сбора данных NI USB-6009 для возможности отображения уровня сигналов.

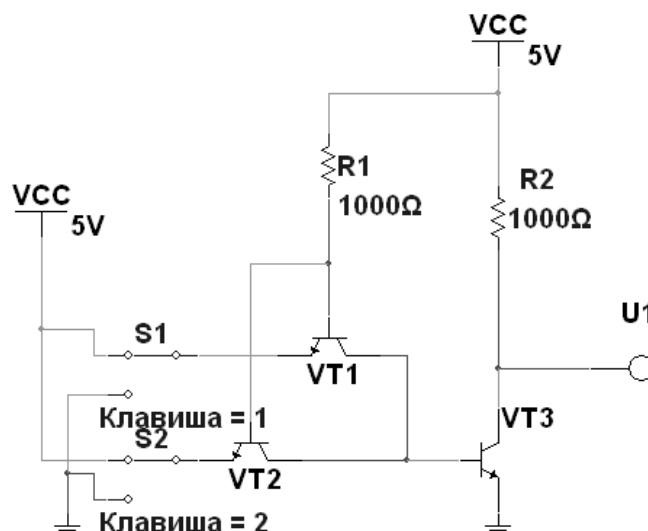


Рисунок 18.4 – Схема элемента 2И-НЕ ТТЛ-логики в среде Multisim

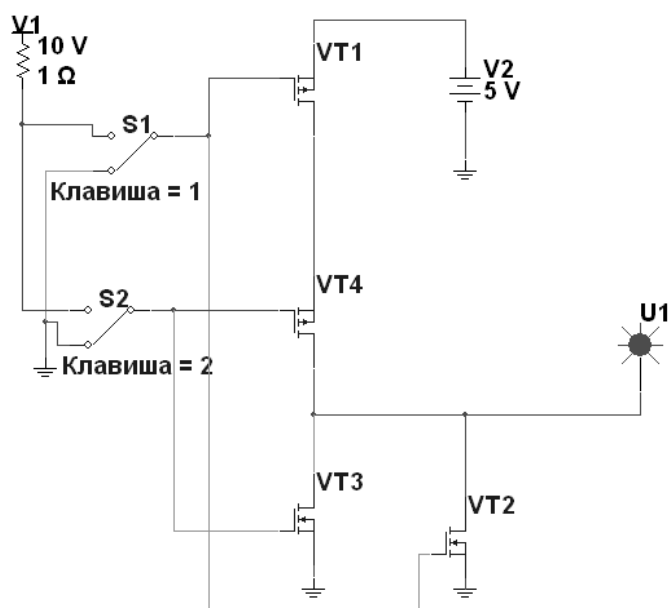


Рисунок 18.5 – Схема элемента 2ИЛИ-НЕ КМОП-логики в среде Multisim

Заполнить таблицу истинности для исследуемого элемента, сравнив с результатами моделирования. Определить уровни входного и выходного напряжений, соответствующие логической единице и нулю:  $U_{вх}^1$ ,  $U_{вх}^0$ ,  $U_{вых}^1$ ,  $U_{вых}^0$ .

18.2.5 Сделать выводы по результатам работы.



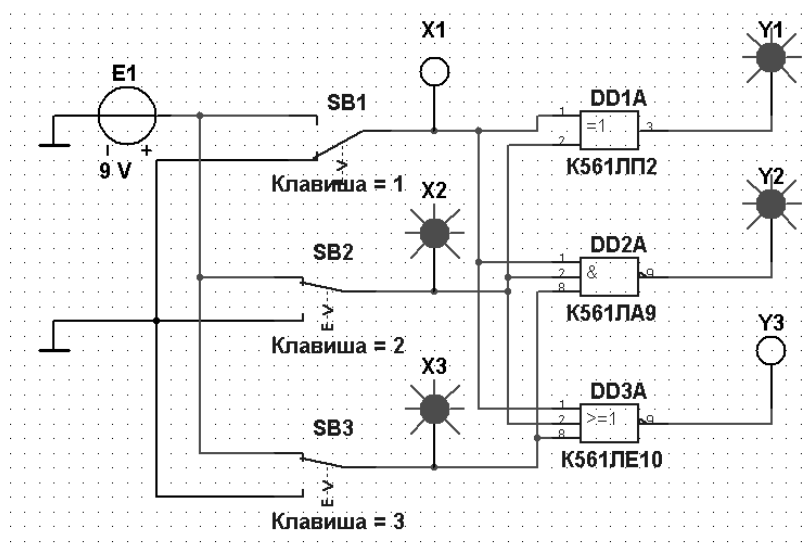


Рисунок 18.6 – Схема для исследования логических элементов серии К561

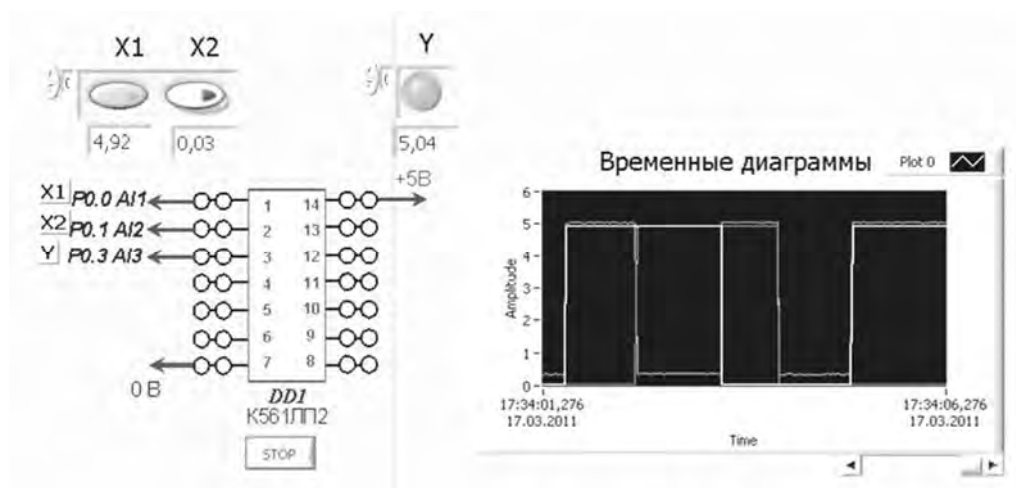


Рисунок 18.7 – Виртуальный прибор для экспериментального исследования логических элементов в среде LabVIEW

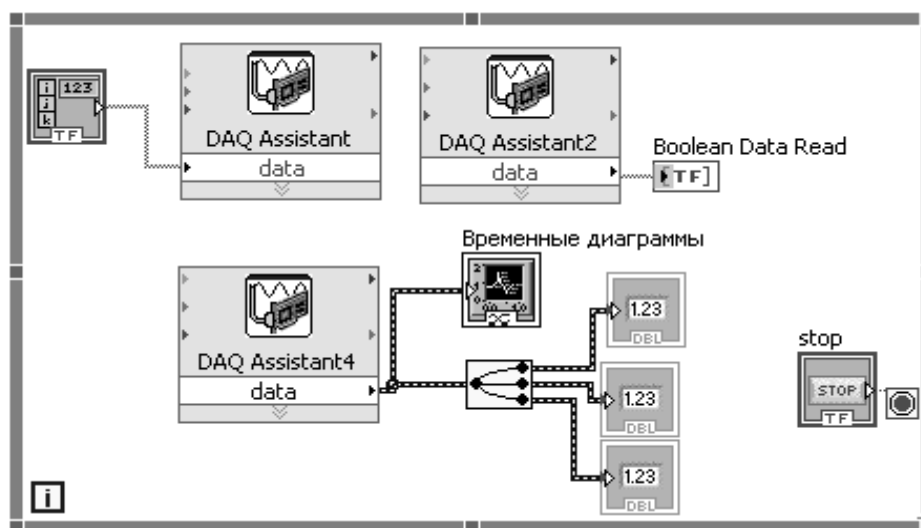


Рисунок 18.8 – Блок-диаграмма виртуального прибора в LabVIEW для исследования логических элементов

## Содержание отчёта

Отчёт по работе должен содержать цель работы, схемы для моделирования работы логических элементов в среде Multisim, блок-диаграммы виртуального прибора для экспериментального снятия характеристик и диалоговое окно, временные диаграммы и таблицы истинности работы логических элементов, выводы по работе.

### Контрольные вопросы

- 1 Какова величина напряжения питания элемента ТТЛ логики?
- 2 Какова величина напряжения питания элемента ЭСЛ логики?
- 3 Какая характерная особенность ТТЛ логики?
- 4 Что является основой базового логического элемента ЭСЛ?
- 5 Чему равно напряжение логической единицы?
- 6 Чему равно напряжение логического нуля?
- 7 Приведите схемные обозначения и правила выполнения логических операций для логических элементов ИЛИ, И, ИЛИ-НЕ, И-НЕ.

## 19 Исследование работы триггеров

**Цель работы:** изучение принципа функционирования и характеристик триггеров.

### 19.1 Общие сведения

*Триггер* – это устройство последовательностного типа с двумя устойчивыми состояниями равновесия, предназначенное для записи и хранения информации. Под действием входных сигналов триггер может переключаться из одного устойчивого состояния в другое. При этом напряжение на его выходе скачкообразно изменяется с низкого уровня на высокий или наоборот.

По способу записи информации триггеры делят на *асинхронные*, которые переключаются в момент подачи входного сигнала, и *синхронные* (тактируемые), которые переключаются только при подаче синхронизирующих импульсов, а момент переключения связан с определённым уровнем синхросигнала (*статические* триггеры) или с моментом перепада напряжения на тактируемом входе (*динамические* триггеры).

Как правило, триггер имеет два выхода: прямой  $Q$  и инверсный  $\bar{Q}$ . Число входов зависит от структуры и функций, выполняемых триггером. Например, асинхронные  $RS$ -триггеры имеют два входа: вход  $S$  установки в *единичное* состояние прямого выхода  $Q$  и вход  $R$  установки в *нулевое* состояние выхода  $Q$ . Синхронные триггеры для занесения в них информации, помимо информационных входов  $S$  ( $J$ ) и  $R$  ( $K$ ), имеют синхронизирующий  $C$  или счётный вход  $T$ ,

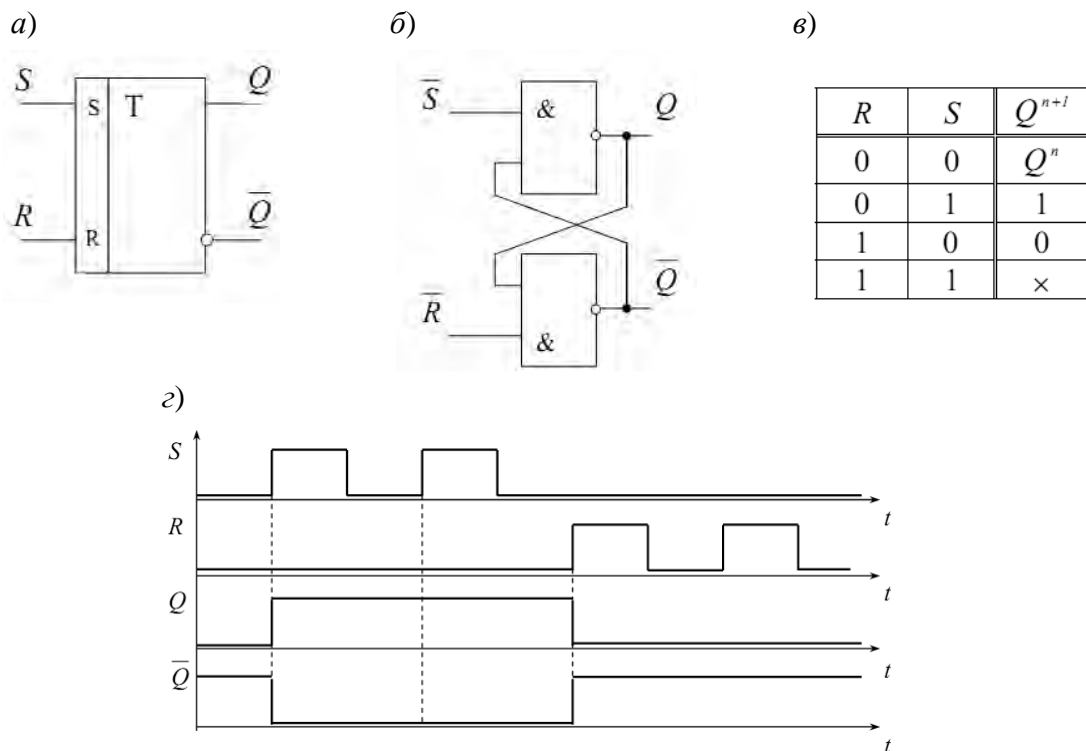


а триггеры задержки – информационный вход  $D$ .

Наибольшее распространение в цифровых устройствах получили триггеры  $RS$ ,  $D$ ,  $JK$  и  $T$ .

$RS$ -триггер (рисунок 19.1) имеет два управляющих входа:  $S$  (set) и  $R$  (reset), с помощью которых выполняются установки триггера в то или иное состояние:  $Q = 1$  при  $S = 1$  и  $R = 0$  (установка триггера);  $Q = 0$  при  $S = 0$  и  $R = 1$  (сброс триггера);  $Q^{n+1} = Q^n$  при  $S = R = 0$  (режим хранения предыдущего состояния);  $S = R = 1$  – запрещенная комбинация управляющих сигналов, которая может привести к неопределенному состоянию триггера.

Рассматриваемый триггер является асинхронным, т. к. изменение его состояния происходит непосредственно с поступлением управляющих сигналов. Принцип работы асинхронного  $RS$ -триггера поясняется временными диаграммами, показанными на рисунке 19.1,  $z$ .



$a$  – условное графическое изображение;  $b$  – схема реализации  $RS$ -триггера на базовых элементах И-НЕ;  $в$  – таблица истинности;  $г$  – временная диаграмма, иллюстрирующая работу триггера

Рисунок 19.1 – Асинхронный  $RS$ -триггер

Схема простейшего симметричного триггера с автоматическим смещением на биполярных транзисторах типа  $p-n-p$  изображена на рисунке 19.2.

Как видно из схемы, конструктивно триггер представляет собой два транзисторных ключа, собранных таким образом, что выход каждого из усилителей соединяется с входом другого. Обратная связь, получаемая в результате такого соединения, является положительной.

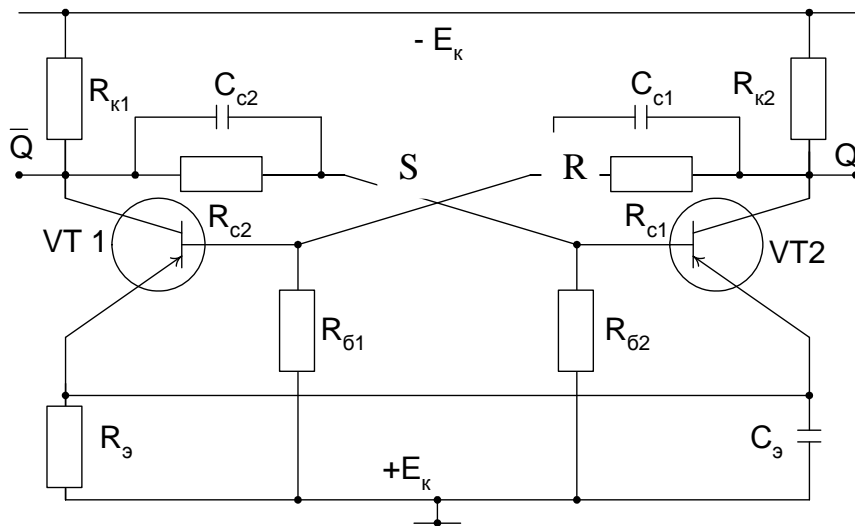


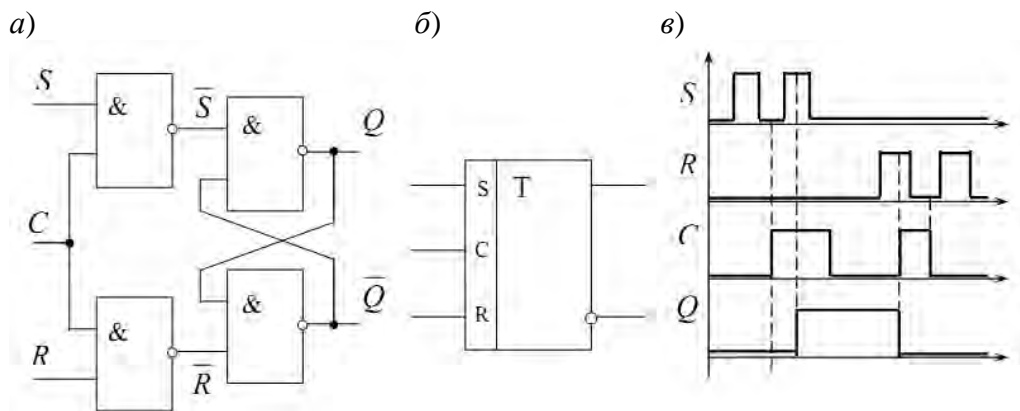
Рисунок 19.2 – Схема триггера с автоматическим смещением

Симметричным считается триггер, у которого, кроме равенства параметров транзисторов, равны сопротивления в базовых и коллекторных цепях:  $R_{k1} = R_{k2}$ ,  $R_{c1} = R_{c2}$ ,  $R_{cm1} = R_{cm2}$ ,  $C1 = C2$ . В приведенной схеме в какой-то момент времени возможно состояние, когда оба транзистора VT1 и VT2 приоткрыты и находятся в активной области. В этом случае токи  $I_{k1}$  и  $I_{k2}$  равны между собой, также равны падения напряжения на соответствующих друг другу элементах схемы. Однако вследствие разброса параметров как транзисторов, так и других элементов схемы, а также колебаний напряжения питания такое состояние неустойчиво и приводит к лавинообразному нарастанию тока одного и уменьшению тока другого транзистора. Допустим, ток коллектора транзистора VT2 получил приращение  $\Delta I_{k2}$ , что приведет к уменьшению на его коллекторе падения напряжения. Это в свою очередь вызовет уменьшение базового тока  $I_{b1}$  и напряжения  $U_{b1}$  транзистора VT1, то есть последний закроется больше по отношению к первоначальному состоянию. За счет обратной связи через  $R_{c2}$  ток базы  $I_{b2}$  возрастает, что приводит к дальнейшему увеличению тока  $I_{k2}$  и открытию VT2. Последнее вызовет снова уменьшение тока  $I_{b1}$  и еще большее закрытие VT1. Процесс носит лавинообразный характер и прекращается, когда VT1 закроется полностью и  $I_{k1}$  станет равным  $I_{ko}$ , а транзистор VT2 перейдет в состояние насыщения, при котором  $I_{k2} > I_{кнас}$ . Такое состояние триггера, при котором уровень напряжения на выходе транзистора VT2 близок к нулю, принято считать состоянием 0, а выход VT2 – прямым выходом  $Q$ . Выход транзистора VT1 считается обратным или инверсным и обозначается  $\bar{Q}$ . Уровень напряжения на выходе транзистора VT1  $\bar{Q}$  меньше напряжения питания  $E_k$  и определяется соотношением между сопротивлениями  $R_c$  и  $R_k$ . Данный уровень называют уровнем 1. Для перевода триггера из этого установившегося состояния 0 в противоположное состояние 1 необходимо на вход 2 подать положительный по знаку внешний управляющий сигнал либо на вход 1 – отрицательный, что приведет к регенеративному переходному процессу, в результате которого триггер переключится в противоположное состояние 1, при котором транзистор VT1 окажется откры-

тым, а VT2 – закрытым. Это состояние может сохраняться также неограниченно долгое время, пока внешний управляющий сигнал не возвратит его вновь в исходное состояние. Допустим, на вход 2 триггера, находящегося в состоянии 1, подано внешнее управляющее напряжение отрицательного знака. Оно вызовет резкое увеличение базового тока  $I_{б2}$ , а следовательно, и коллекторного  $I_{к2}$  и приведет к открытию VT2. В то же время за счет положительной обратной связи через  $R_{c1}$  ток базы  $I_{б1}$  транзистора VT1 уменьшится, уменьшится и его ток коллектора  $I_{к1}$ , и транзистор закроется, что приведет к еще большему увеличению тока базы VT2, который перейдет в состояние насыщения. Этот регенеративный процесс происходит практически мгновенно и заканчивается возвратом триггера в состояние 0. Обычно внешний управляющий сигнал, подаваемый на входы триггера, формируется с помощью специальной цепи запуска.

Схемотехнически RS-триггер также может быть реализован на логических элементах 2ИЛИ-НЕ и 2И-НЕ (см. рисунок 19.1, б) с использованием перекрестных положительных обратных связей. В триггере на элементах 2И-НЕ изменение состояния происходит при низких уровнях сигналов  $S$  и  $R$ .

В синхронных RS-триггерах могут быть использованы различные способы синхронизации. На рисунке 19.3, а и б показаны схемотехническая реализация и условное обозначение RS-триггера с синхронизацией по уровню (высокому). На рисунке 19.3, в приведены диаграммы работы такого триггера. Изменение состояний происходит только при высоких уровнях сигнала синхронизации  $C$ .



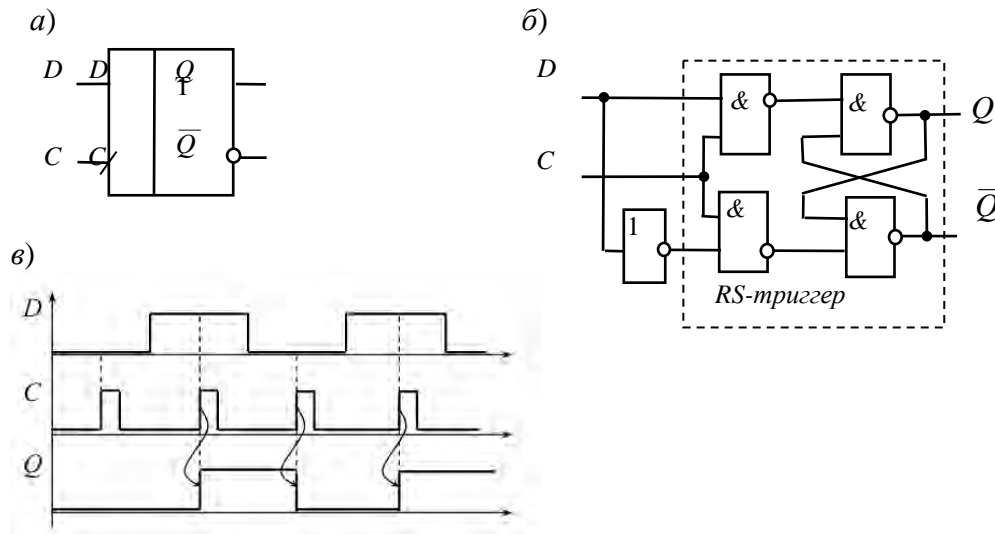
а – схема реализации RS-триггера на базовых элементах И-НЕ; б – условно-графическое обозначение; в – временная диаграмма, иллюстрирующая работу триггера

Рисунок 19.3 – Синхронный RS-триггер

В RS-триггере с синхронизацией по фронту изменение состояния происходит в момент изменения уровня сигнала  $C$ . При этом возможна синхронизация как по переднему, так и по заднему фронту (срезу). Такие триггеры строятся по двухступенчатой схеме и в них процессы приема и записи данных разделены во времени.

Отличительной особенностью D-триггера (триггера задержки) является то, что он сохраняет информацию, поступившую на D-вход в предыдущем такте работы до прихода синхроимпульса, т. е. его состояние может изменяться с за-

держкой на один такт. Синхронизация работы производится по переднему или заднему фронту. Условное обозначение D-триггера с синхронизацией по переднему фронту и диаграммы его работы показаны на рисунке 19.4.

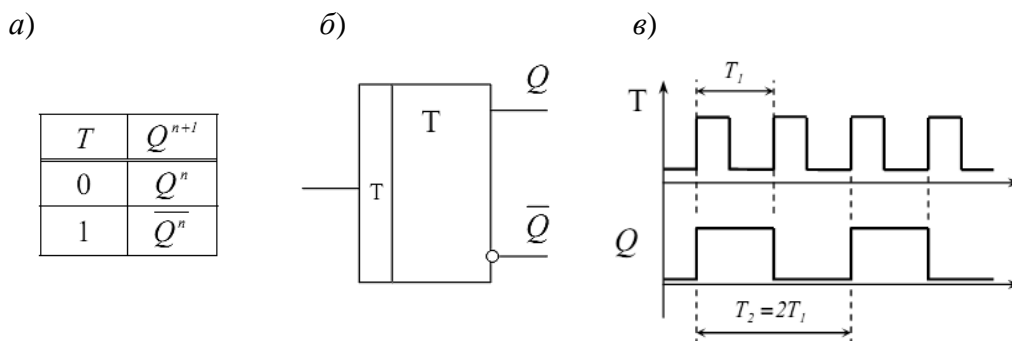


*а* – условное графическое изображение; *б* – схема реализации D-триггера на базовых элементах И-НЕ; *в* – временная диаграмма, иллюстрирующая работу триггера

Рисунок 19.4 – D-триггер

*T-триггеры* иначе называются счетными и применяются для построения счетчиков и делителей частоты. Такой триггер имеет один тактовый вход и его состояние меняется каждый раз при подаче счетного импульса  $T = 1$  и остается неизменным при  $T = 0$ . Таблица состояния триггера, его обозначение и диаграммы работы приведены на рисунке 19.5.

Как видно из диаграмм, Т-триггер делит частоту входных импульсов в два раза. Для получения больших значений коэффициента деления частоты применяется каскадное соединение Т-триггеров. Как самостоятельное изделие Т-триггер в виде интегральной микросхемы не выпускается и при необходимости реализуется на базе других типов триггеров.



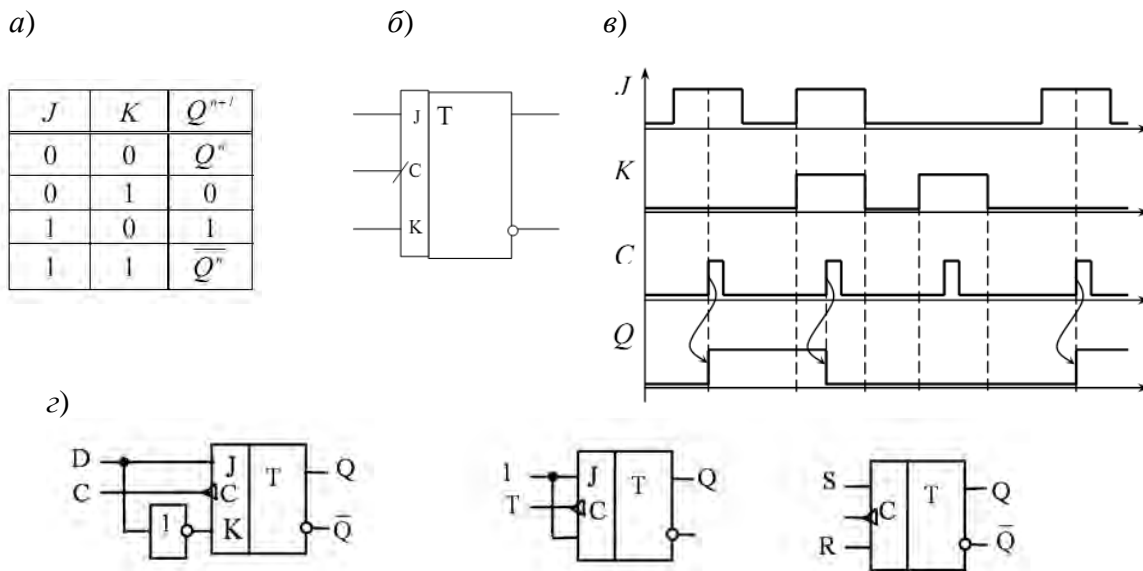
*а* – таблица истинности; *б* – условное графическое изображение; *в* – временная диаграмма, иллюстрирующая работу триггера

Рисунок 19.5 – Т-триггер



*JK-триггер* имеет два управляющих входа: J (jump) и K (keep) и функционирует подобно RS-триггеру, но при этом не имеет запрещенных комбинаций управляющих сигналов. J-вход подобен S-входу, а K-вход – R-входу. При всех комбинациях сигналов на входе, кроме  $J = K = 1$ , он действует подобно RS-триггеру. При  $J = K = 1$  в каждом такте происходит «опрокидывание» триггера и его состояние меняется на противоположное (рисунок 19.6, а). На рисунке 19.6, б, в показаны условное обозначение JK-триггера с синхронизацией по переднему фронту и его временные диаграммы работы.

JK-триггеры относятся к универсальным устройствам в отношении их применения как для построения других типов триггеров (рисунок 19.6, г), так и более сложных устройств последовательного принципа действия. Во всех сериях цифровых интегральных микросхем выпускаются JK-триггеры с различными функциональными возможностями.



а – таблица истинности; б – условное графическое изображение; в – временная диаграмма, иллюстрирующая работу триггера; г – реализация D-, T- и RS-триггеров на основе JK-триггера

Рисунок 19.6 – JK-триггер

## 19.2 Задание к лабораторной работе

На основании заданной преподавателем амплитуды выходного сигнала  $U_m$ , максимальной частоты переключения  $f_{\text{перек max}}$ , коллекторного тока  $I_{\text{кн}}$  ( $I_{\text{кн}} = 0,5I_{\text{кmax}}$ ) рассчитать параметры всех элементов триггера (см. рисунок 19.2).

## 19.3 Порядок выполнения работы

19.3.1 Исследовать работу симметричного триггера на базе биполярных транзисторов в программе Multisim (рисунок 19.7). Составить таблицу истинности триггера.

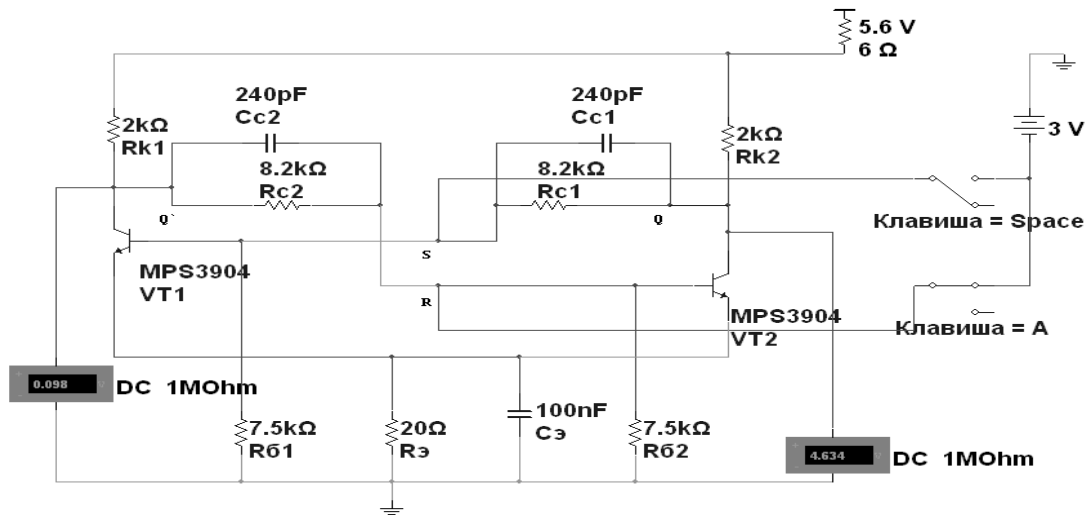


Рисунок 19.7 – Схема симметричного триггера с автоматическим смещением в среде Multisim

19.3.2 В программе Multisim собрать схему исследования RS-триггера на логических элементах И-НЕ заданной преподавателем серии (рисунок 19.8).

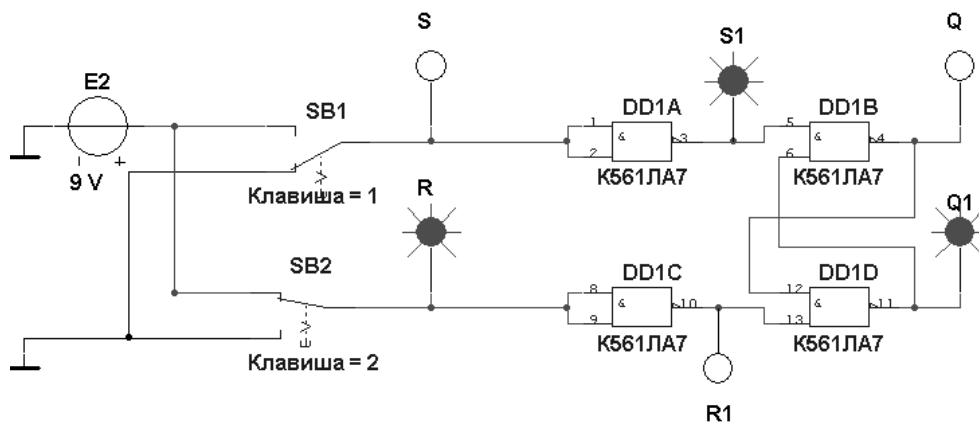


Рисунок 19.8 – Схема RS-триггера на логических элементах серии K561

Воспользовавшись порядком засвечивания пробников и задавая коды (00, 01, 10) состояния ключей SB1 и SB2 (входных сигналов), составить таблицу истинности RS-триггера.

19.3.3 В программе Multisim собрать схему испытания триггеров JK и D (рисунок 19.9) по заданию преподавателя. В схему включены: генератор XWG1 (частота  $f_2 = 500$  кГц); логический анализатор XLA1.

На 1CLR- и 1PR-входы триггеров подаётся постоянное напряжение 5 В (имитирующее сигнал 1) источника VCC, а на 1CLK-входы триггеров и на вход 1 анализатора XLA1 поступают тактовые импульсы с амплитудой 5 В и частотой 500 кГц, сформированные генератором E1.

С выходов 1 и 2 генератора XWG1 сигналы подаются на управляющие входы 1J и 1K JK-триггера, с выхода 3 – на вход 1 DD-триггера.

В качестве примера введём в первые шесть ячеек памяти генератора трёх-разрядные кодовые комбинации (рисунок 19.10): 010, 100, 111, 001, 100, 010.



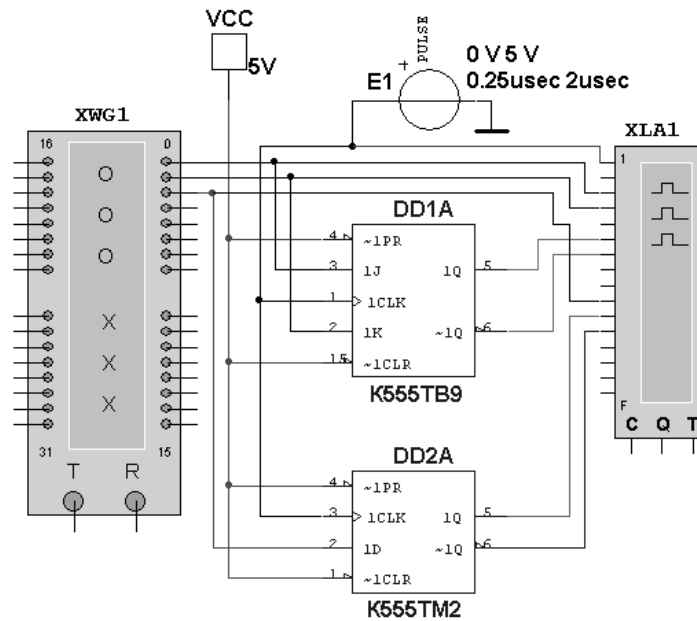


Рисунок 19.9 – Схема для исследования JK- и D-триггеров

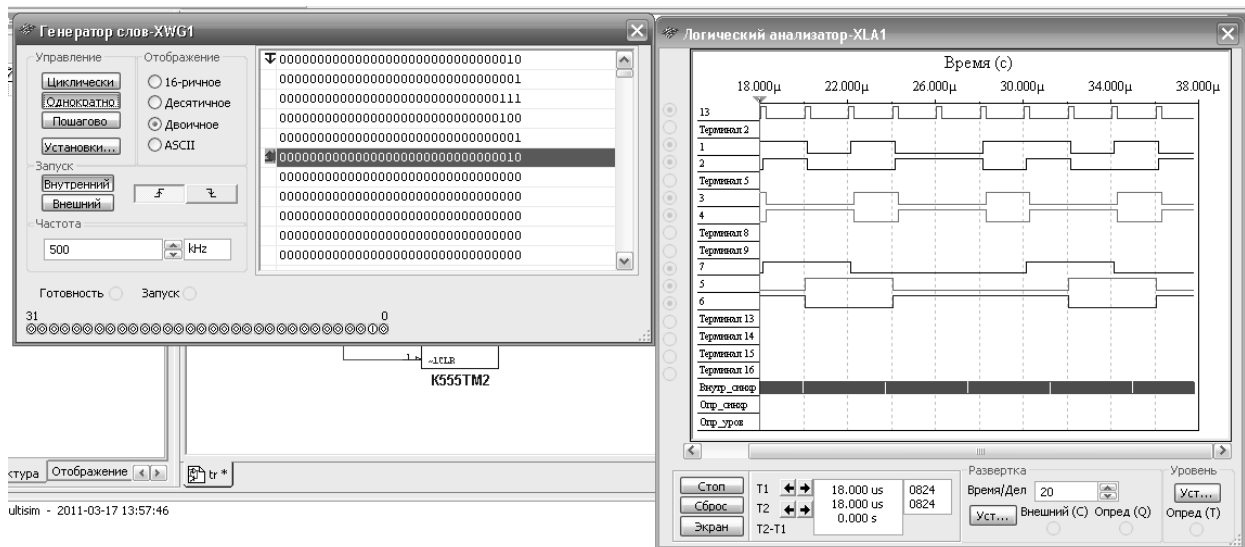


Рисунок 19.10 – Цифровые комбинации и временные диаграммы триггеров

Провести моделирование работы триггеров, по временным диаграммам составить и заполнить для них таблицы истинности.

19.3.4 Для экспериментального исследования заданного преподавателем D-триггера собрать схему, приведенную на рисунке 19.11.

Питание микросхемы осуществляется от источника NY3002-D2 или выхода +5 В устройства сбора данных NI USB-6009. Сигналы входов триггера S, R, D формируются цифровыми выходами P0.1...P0.3 устройства NI USB-6009, приём выходных сигналов Q,  $\bar{Q}$  осуществляется цифровыми входами P1.0, P1.1, что реализовано блоками DAQ Assistant блок-диаграммы виртуального прибора (рисунок 19.12). Импульсы синхронизации C формируются блоком SimulateSignal блок-диаграммы и передаются на выход P0.5 устройства сбора данных. Входы и выходы триггера подключаются к каналам аналогового

ввода AI1...AI4 устройства NI USB-6009 для возможности отображения временных диаграмм.

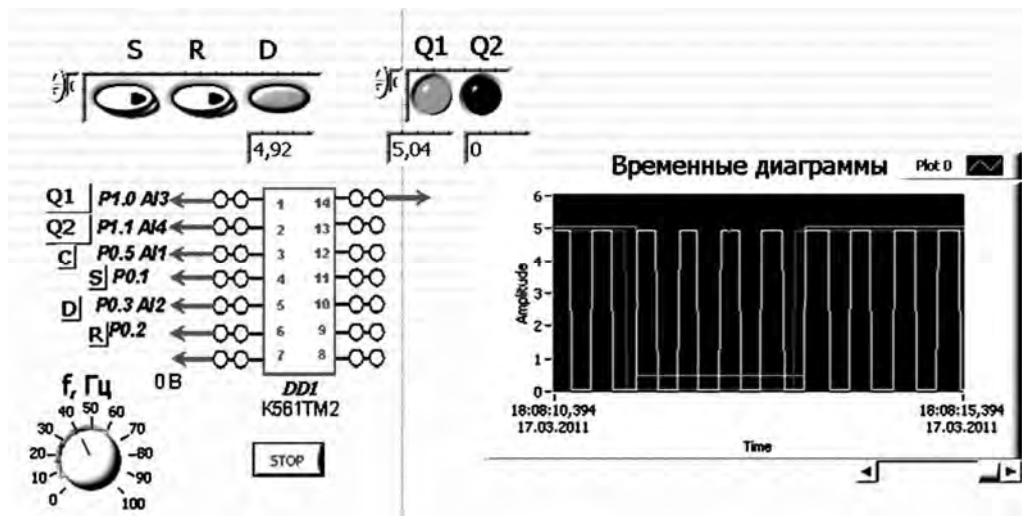


Рисунок 19.11 – Виртуальный прибор для экспериментального исследования D-триггера в среде LabVIEW

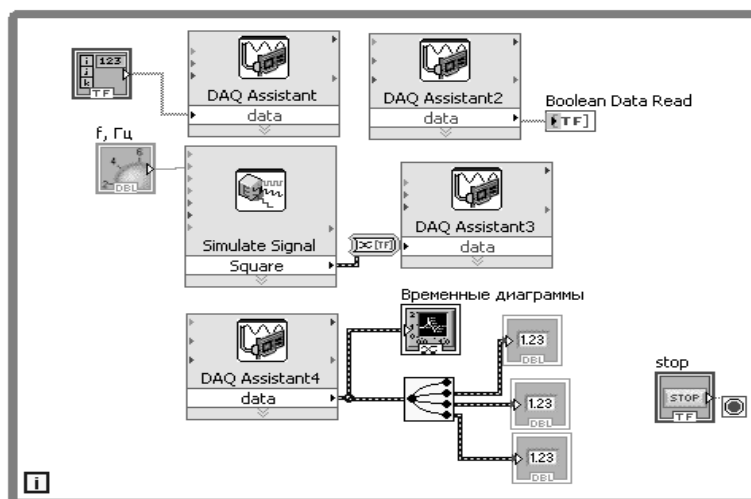


Рисунок 19.12 – Блок-диаграмма виртуального прибора в LabVIEW для исследования триггера

По полученным временным диаграммам составить таблицу истинности триггера, сравнить с результатами моделирования.

19.3.5 Сделать выводы по результатам работы.

### *Содержание отчёта*

Отчёт по работе должен содержать цель работы, схемы для моделирования работы триггеров в среде Multisim, блок-диаграммы виртуального прибора для экспериментального снятия характеристик и диалоговое окно, временные диаграммы и таблицы истинности триггеров, выводы по работе.

### Контрольные вопросы

- 1 Перечислите основные признаки классификации триггеров. Как разделяются триггеры по функциональному назначению?
- 2 Чем отличаются статические входы триггеров от динамических?
- 3 Можно ли управлять RS-триггером, воздействуя управляющим сигналом только на один вход?
- 4 Чем отличаются RS-триггеры на элементах ИЛИ-НЕ от RS-триггеров на элементах И-НЕ?
- 5 Приведите таблицу истинности RS-триггера. Какая из строк таблицы определяет свойства триггера как память?
- 6 В чем состоит суть синхронизации триггера и для чего она применяется?
- 7 Чем отличается JK-триггер от RS-триггера?
- 8 Нарисуйте схемы Т- и D-триггеров, реализованных на базе JK-триггеров.

## 20 Исследование работы регистров, счетчиков, дешифраторов и полупроводниковых индикаторов

**Цель работы:** изучение принципа функционирования, характеристик регистров, счётчиков, дешифраторов и полупроводниковых индикаторов.

### 20.1 Общие сведения

*Регистр* – это последовательностное устройство, предназначенное для записи, хранения и (или) сдвига информации, которая поступает и хранится в регистре в виде  $n$ -разрядных двоичных чисел. В общем случае регистр может выдавать информацию в последовательной или параллельной форме, преобразовывать прямой код числа в обратный (когда единицы заменяются нулями, а нули – единицами), и наоборот, а также выполнять логическое сложение и логическое умножение двоичных чисел.

В зависимости от способа ввода и вывода разрядов числа различают регистры параллельные, последовательные и параллельно-последовательные. В *параллельном* регистре ввод и вывод всех разрядов кодового числа осуществляется одновременно, в *последовательном* – разряды числа вводятся и выводятся последовательно, а в *параллельно-последовательном* регистре ввод числа производится в параллельной форме, а вывод – в последовательной, и наоборот.

Современная промышленность выпускает многие типы регистров в виде микросхем. В виде примера на рисунке 20.1 изображен четырехразрядный регистр (микросхема серии K155). При  $V_2 = 0$  разряды числа вводят последовательно в регистр через вход  $V_1$ ; синхроимпульсы, поступающие на вход  $C_1$ , обеспечивают сдвиг вправо разрядов числа; регистр работает как сдвигающий. В микросхеме предусмотрен также параллельный ввод всех разрядов числа по



синхроимпульсу на входе  $C_2$  с входов  $D_1...D_4$  при  $V_2 = 1$ . В данном случае регистр работает как параллельный.

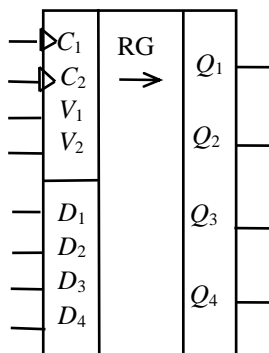


Рисунок 20.1 – Схема четырехразрядного регистра

*Дешифратор (DC) или декодер* – комбинационная схема с  $n$  входами и  $m = 2^n$  выходами ( $m > n$ ), преобразующая двоичный входной  $n$ -код (кодированное слово) в унитарный. На одном из  $m$  выходов дешифратора появляется логическая единица, а именно на том, номер которого соответствует поданному на вход двоичному коду.

На остальных выходах дешифратора выходные сигналы будут равны нулю. Дешифратор используют в том случае, когда нужно обращаться к различным цифровым устройствам по адресу, который представлен в двоичном коде.

Условное изображение дешифратора 4x16 (читаемого «четыре в шестнадцать») на схемах дано на рисунке 20.2. Дешифратор содержит число выходов, равное числу комбинаций входных переменных: от  $y_0 = \bar{a}\bar{b}\bar{c}\bar{d}$  до  $y_{15} = abcd$  при  $n = 4$  и  $m = 2^n = 16$ .

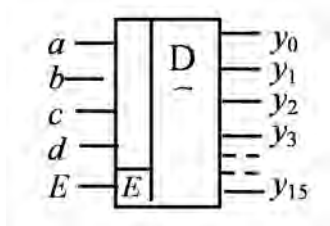


Рисунок 20.2 - Условное изображение дешифратора 4x16

*Счётчик* предназначен для счёта поступающих на его вход импульсов, в интервале между которыми он должен хранить информацию об их количестве. Поэтому счётчик состоит из запоминающих ячеек – триггеров обычно  $D$ - или  $JK$ -типа. Между собой ячейки счётчика соединяют таким образом, чтобы каждому числу импульсов соответствовали состояния 1 или 0 определенных ячеек. При этом совокупность единиц и нулей на выходах  $n$  ячеек, называемых *разрядами* счетчика, представляет собой  $n$ -разрядное двоичное число, которое однозначно определяет количество прошедших через входы импульсов.

Каждый разряд счётчика может находиться в двух состояниях. Число устойчивых состояний, которое может принимать данный счётчик, называют *коэффициентом пересчёта*  $K_{сч}$ .

Если с каждым входным импульсом «записанное» в счётчике число увеличивается, то такой счётчик является *суммирующим*, если же оно уменьшается, — *вычитающим*. Счётчик, работающий как на сложение, так и на вычитание, называют *реверсивным*.

Счётчики, у которых под воздействием входного импульса переключение соответствующих разрядов происходит последовательно друг за другом, называют *асинхронными*, а когда переключение происходит одновременно — *синхронными*. Максимальное число  $N$ , которое может быть записано в счётчике, равно  $(2^n - 1)$ , где  $n$  — число разрядов счётчика.

По способу кодирования последовательных состояний различают *двоичные счётчики* с коэффициентами пересчёта (обнуления)  $K_{сч} = 2^n$ , у которых порядок смены состояний триггеров соответствует последовательности двоичных чисел, и *недвоичные*, у которых  $K_{сч} < 2^n$  (например, десятичные с коэффициентом  $K_{сч} = 10$  или делители частоты с коэффициентом деления  $K_{сч} \neq 2^n$ ).

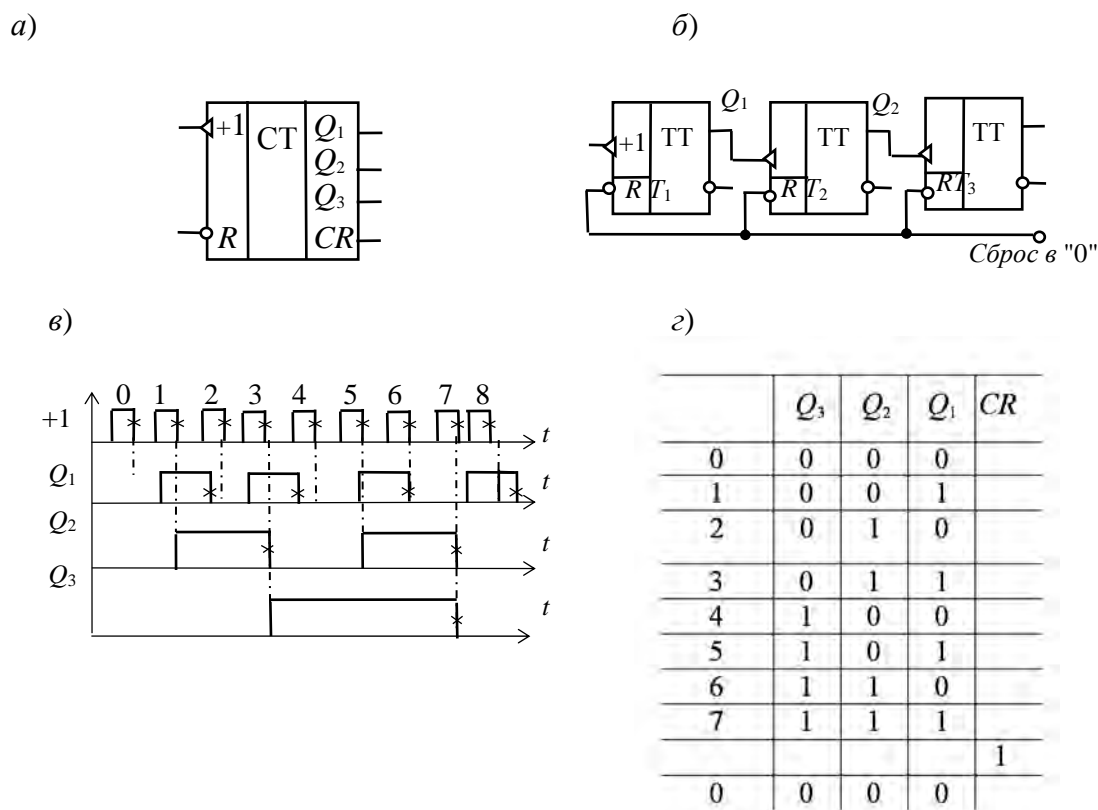
Условное изображение трехразрядного *суммирующего* счётчика показано на рисунке 20.3, а, на котором символом  $R$  обозначен вход общего сброса, символами  $Q_1$ ,  $Q_2$  и  $Q_3$  — выходы счётчика,  $CR$  — выход переноса единицы. Суммирующий вход счётчика обозначается  $+1$ , вычитающий  $-1$ . Это счетные входы. У асинхронных счётчиков такие входы помечены специальными символами:  $\triangleright$  или  $\triangleleft$ , указывающими полярность перепада входного сигнала:  $1/0$  (задний фронт) или  $0/1$  (передний фронт), при которой происходит переключение триггеров счётчика.

Для переключения триггеров в счётчиках используют следующие связи: непосредственную, тракт последовательного переноса, тракт параллельного переноса. Схема счётчика с непосредственными связями показана на рисунке 20.3, б. Первый триггер счётчика  $T_1$  образует младший разряд. Он пересчитывает входные импульсы по модулю 2, а состояние его выхода воспринимается следующим  $T_2$  триггером как входные сигналы и снова пересчитываются на 2 и т. д.

Полное представление о состояниях счётчика, в зависимости от числа поданных на вход импульсов, дают таблица переключений (рисунок 20.3, г) и временные диаграммы (рисунок 20.3, в), где изображены последовательность входных импульсов (на входе  $+1$ ), а также состояния триггеров — первого ( $Q_1$ ), второго ( $Q_2$ ) и третьего ( $Q_3$ ). Фронты импульсов на диаграммах показаны идеальными: потенциал, соответствующий логическому 0, считается равным нулю, переключающие перепады для наглядности помечены крестиками.

Рассмотрим воздействие на счётчик, к примеру, шестого (обозначенного на диаграмме цифрой 5) импульса. По его спаду триггер  $T_1$  устанавливается в 0, перепад  $1/0$  на его выходе  $Q_1$  переключает в 1 триггер  $T_2$ , а триггер  $T_3$  остается в прежнем (единичном) состоянии, так как перепад  $0/1$  на выходе  $Q_2$  не является для него переключающим.

Из диаграммы видно, что частота импульсов на выходе каждого триггера вдвое меньше частоты импульсов на его входе. В момент, предшествующий переключению очередного разряда, все предыдущие разряды счётчика находятся в состоянии 1. Восьмой импульс для трёхразрядного счётчика (см. рисунок 20.3, *г*) является импульсом переполнения: им все триггеры устанавливаются в 0 (счётчик «обнуляется»).



*а* – условное обозначение; *б* – реализация на триггерах; *в* – временные диаграммы работы; *г* – таблица переключений

Рисунок 20.3 – Трёхразрядный суммирующий счётчик

Если в счётчике используются триггеры, переключающиеся перепадом 0/1, то вход последующего триггера нужно соединить с инверсным выходом предыдущего, на котором формируется этот перепад, когда по основному выходу триггер переключается из 1 в 0.

## 20.2 Порядок выполнения работы

20.2.1 В программе Multisim собрать схему для испытания заданного преобразователя универсального регистра сдвига (рисунок 20.4) и установить в диалоговых окнах компонентов их параметры или режимы работы.

Универсальный 4-разрядный регистр сдвига 74HC194N\_4V (отечественные аналоги – микросхемы К230ИР2, КМ155ИР1, К176ИР3) способен сдвигать информацию и вправо, и влево, возможна как параллельная, так и последовательная запись данных. Регистр имеет параллельные входы (А, В, С, D), параллель-



$S0 = 1, S1 = 1$  – запись данных в регистр по входам A, B, C, D;  
 $S0 = 1, S1 = 0$  – сдвиг данных влево в направлении от QA к QD;  
 $S0 = 0, S1 = 1$  – сдвиг данных вправо в направлении от QD к QA;  
 $S0 = 0, S1 = 0$  – входы регистра недоступны (блокировка).

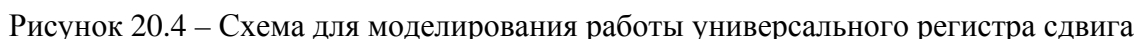


Таблица 20.1 – Правила функционирования регистра 74НС194\_4V

| Вход                    |                         |       |    |                          |    |                      |   |   |   | Выход           |                 |                 |                 |
|-------------------------|-------------------------|-------|----|--------------------------|----|----------------------|---|---|---|-----------------|-----------------|-----------------|-----------------|
| Сброс                   | Старт                   | Режим |    | Последовательный<br>вход |    | Параллельный<br>вход |   |   |   |                 |                 |                 |                 |
| $\overline{\text{CLR}}$ | $\overline{\text{CLX}}$ | S0    | S1 | SR                       | SL | A                    | B | C | D | QA              | QB              | QC              | QD              |
| 0                       | x                       | x     | x  | x                        | x  | x                    | x | x | x | 0               | 0               | 0               | 0               |
| 1                       | 0                       | x     | x  | x                        | x  | x                    | x | x | x | QA <sub>0</sub> | QB <sub>0</sub> | QC <sub>0</sub> | QD <sub>0</sub> |
| 1                       | ↑                       | 1     | 1  | x                        | x  | A                    | B | C | D | A               | B               | C               | D               |
| 1                       | ↑                       | 1     | 0  | 1                        | x  | x                    | x | x | x | 1               | QA <sub>n</sub> | QB <sub>n</sub> | QC <sub>n</sub> |
| 1                       | ↑                       | 1     | 0  | 0                        | x  | x                    | x | x | x | 0               | QA <sub>n</sub> | QB <sub>n</sub> | QC <sub>n</sub> |
| 1                       | ↑                       | 0     | 1  | x                        | 1  | x                    | x | x | x | QB <sub>n</sub> | QC <sub>n</sub> | QD <sub>n</sub> | 1               |
| 1                       | ↑                       | 0     | 1  | x                        | 0  | x                    | x | x | x | QB <sub>n</sub> | QC <sub>n</sub> | QD <sub>n</sub> | 0               |
| 1                       | x                       | 0     | 0  | x                        | x  | x                    | x | x | x | QA <sub>0</sub> | QB <sub>0</sub> | QC <sub>0</sub> | QD <sub>0</sub> |

*Примечание* – 0 – низкий уровень; 1 – высокий уровень; x – любое состояние; ↑ – положительный перепад (с низкого уровня на высокий); QA<sub>0</sub>, QB<sub>0</sub>, QC<sub>0</sub>, QD<sub>0</sub> – стационарные уровни A, B, C, D до установки указанных состояний на входах; QA<sub>n</sub>, QB<sub>n</sub>, QC<sub>n</sub>, QD<sub>n</sub> – соответственно уровни A, B, C, D перед началом прохождения фронта самого последнего тактового импульса

Составить план исследования параллельного регистра сдвига, заполнив ячейки памяти генератора слова XWG1 (рисунок 20.5) на основе правил функционирования регистра 74HC194\_4V, отражённых в таблице 20.1.

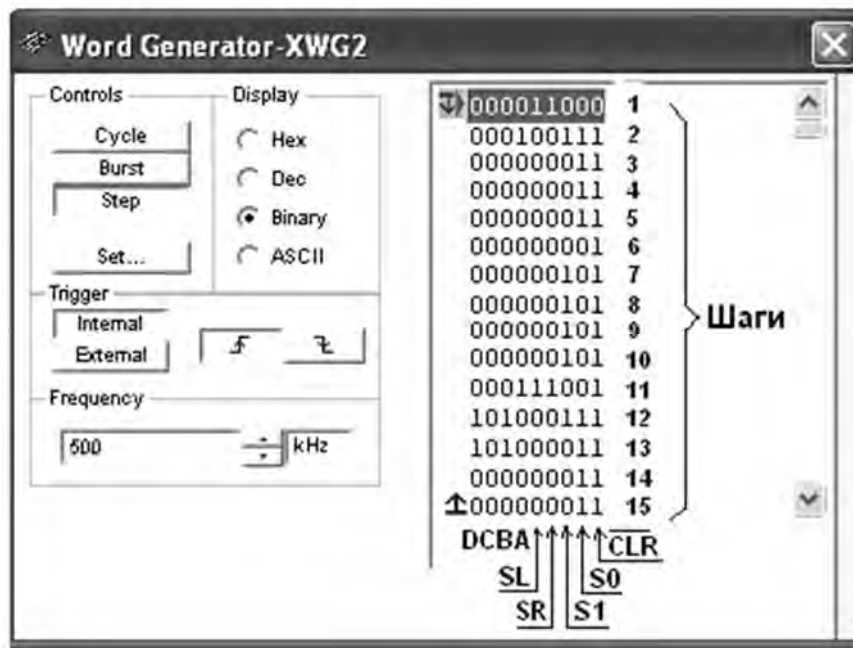


Рисунок 20.5 – Программа функционирования генератора слова XWG1

Снять временные диаграммы работы универсального регистра сдвига (рисунок 20.6), определить режимы его работы.

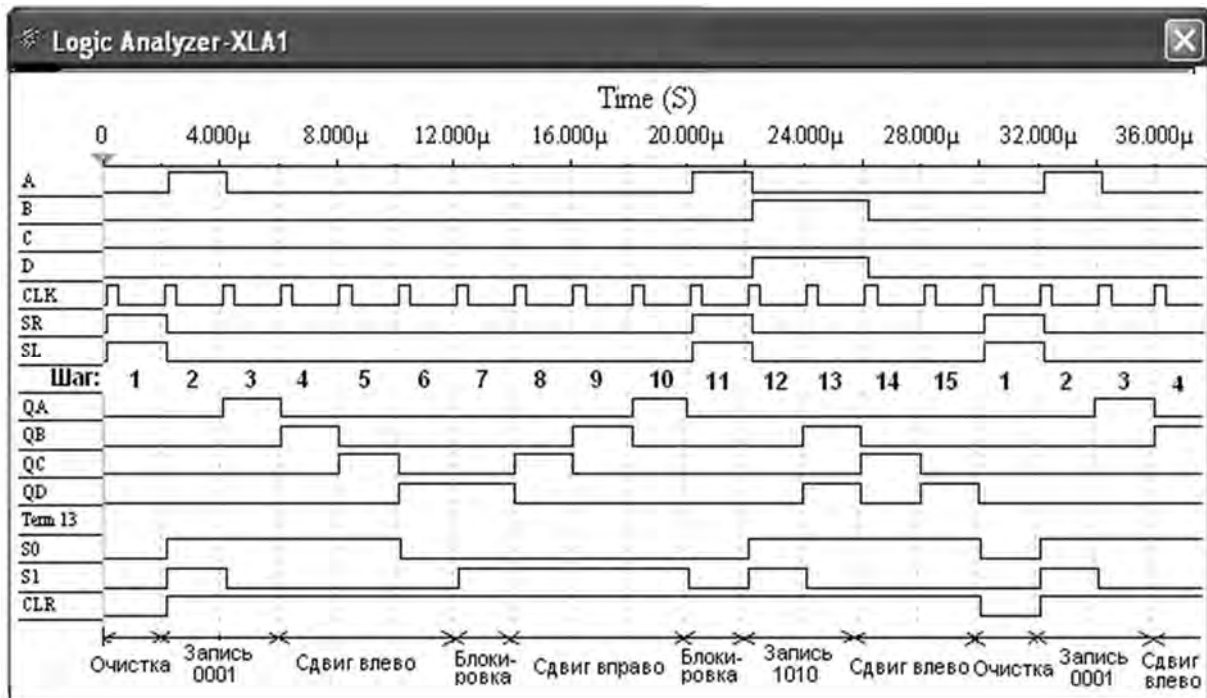


Рисунок 20.6 – Временные диаграммы работы универсального регистра сдвига



20.2.2 В программе Multisim собрать схему для испытания заданного преподавателем синхронного двоичного счётчика (рисунок 20.7) и установить в диалоговых окнах компонентов их параметры или режимы работы.

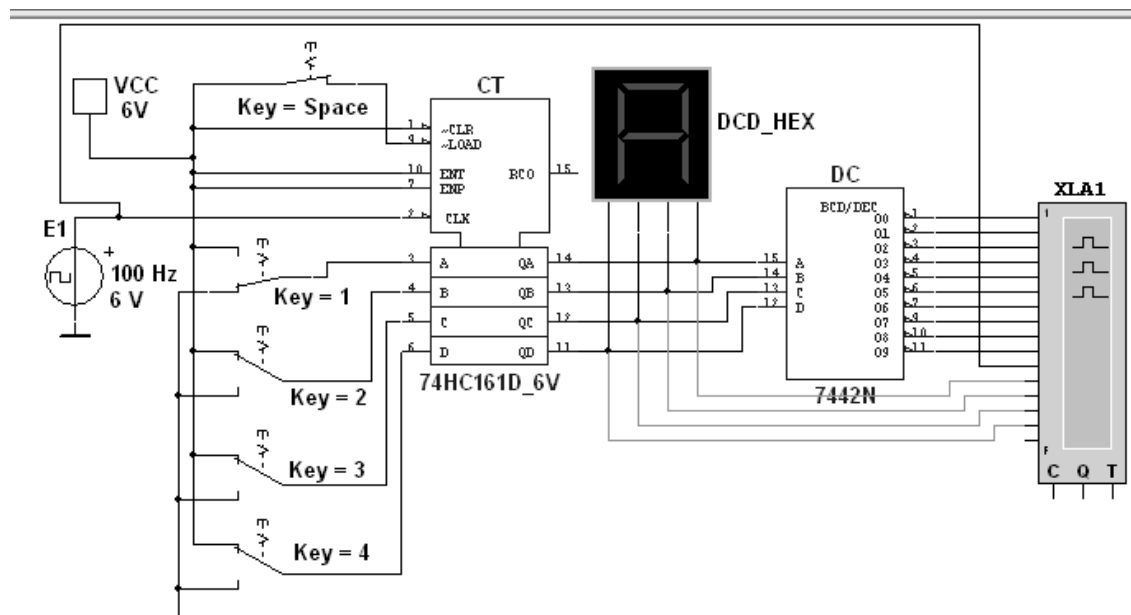


Рисунок 20.7 – Схема для моделирования работы синхронного двоичного счётчика

В схему включен синхронный двоичный 4-разрядный счётчик 74HC161, к входу CLK которого подключен источник тактовых импульсов E1, а к выходам QA, QB, QC и QD – шестнадцатеричный 7-сегментный индикатор DCD\_HEX и дешифратор DC 4x10. Выходы счётчика и дешифратора соединены с входами логического анализатора XLA1.

К входам A, B, C и D счётчика CT подключен источник постоянного напряжения VCC, переключатели 1–4 для формирования входных двоичных кодов и ключ Space для изменения режима работы счётчика. В синхронном счётчике заданные с помощью ключей уровни сигналов подаются на входы всех триггеров, как и тактовые импульсы, которые подаются на счётные входы CLK всех разрядов счётчика.

При *замкнутом* ключе Space число поданных от генератора E1 на вход счётчика импульсов высвечивается на индикаторе DCD\_HEX в десятичном коде, от 0 до 15, после чего счётчик обнуляется и вновь начинается счёт. При этом на одном из выходов дешифратора DC формируется сигнал низкого уровня (логический 0), номер которого соответствует коду входного числа: от 0000 до 1001 ( $9_{10}$ ).

При *разомкнутом* ключе Space сформированное с помощью переключателей на входе счётчика 4-разрядное двоичное число высвечивается на индикаторе в десятичном коде, а на экране анализатора на одном из выходов, соответствующем входному коду счётчика, формируется логический 0.

Промоделировать работу счётчика и дешифратора, сняв временные диаграммы их работы (рисунок 20.8).

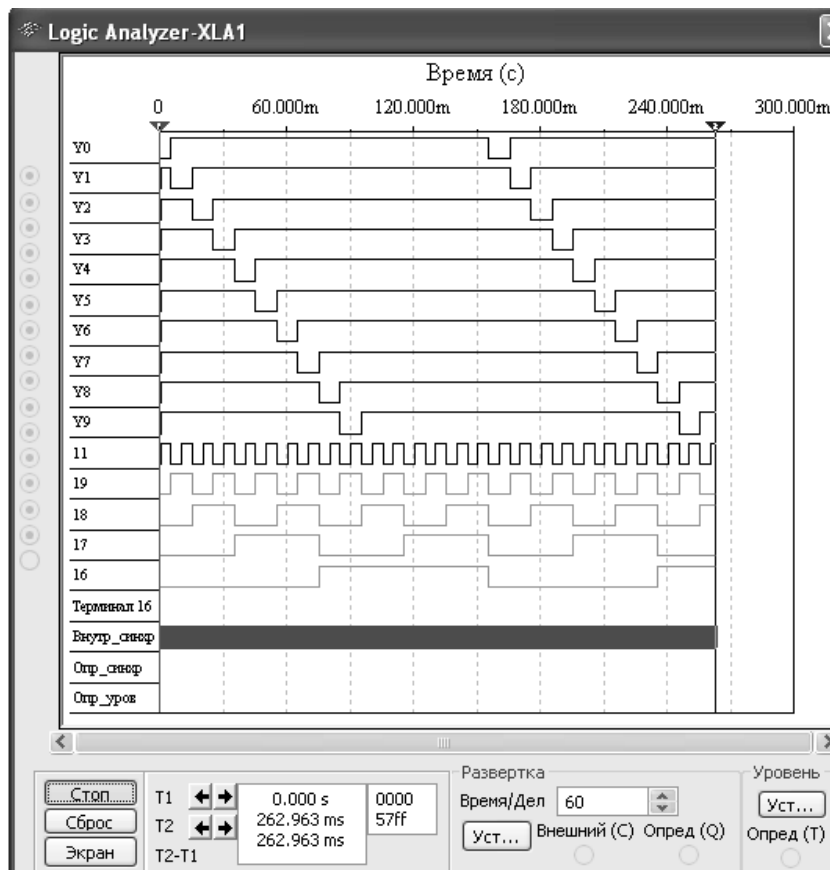


Рисунок 20.8 – Временные диаграммы работы счётчика и дешифратора

Разомкнуть ключ Space. Установить в диалоговом окне анализатора XLA1 напряжение  $V = 5$  В, частоту таймера  $f_a = 2$  кГц, число импульсов, приходящихся на одно деление,  $\text{Clocks/div} = 60$  (при таком режиме лучи медленно перемещаются на экране анализатора). С помощью активных клавиш 1, 2, 3 и 4 клавиатуры сформировать произвольные (или по указанию преподавателя) двоичные входные числа (коды), например 1001, 0011, 0000, 1110, и подавать их на входы D, C, B и A счётчика. Зафиксировать показание семисегментного индикатора и дешифратора при данных значениях кода.

20.2.3 Для экспериментального исследования заданного преподавателем счётчика собрать схему, приведенную на рисунке 20.9. Блок-диаграмма для исследования счетчика в программе LabVIEW приведена на рисунке 20.10.

Питание микросхемы осуществляется от источника НУ3002-D2 или выхода +5 В устройства сбора данных NI USB-6009. Сигналы входов счётчика  $R$  (сброс),  $\pm 1$  (направление счёта),  $P_0$  (вход переноса),  $E$  (разрешение установки),  $D1...D8$  (параллельные входы) и выхода  $P$  (перенос) формируются цифровыми выходами  $P0$  и  $P1$  устройства NI USB-6009. Приём счётных импульсов и выходных сигналов  $Q2...Q8$  осуществляется каналами аналогового ввода  $AI1...AI5$ , что реализовано блоками DAQ Assistant блок-диаграммы виртуального прибора (см. рисунок 20.10). Счётные импульсы  $C$  формируются блоком SimulateSignal блок-диаграммы и передаются на выход  $P0.5$  устройства сбора данных. Состояние выходов счётчика отображается в виде временных диаграмм и индикаторами  $Q1, Q2, Q4, Q8$ .

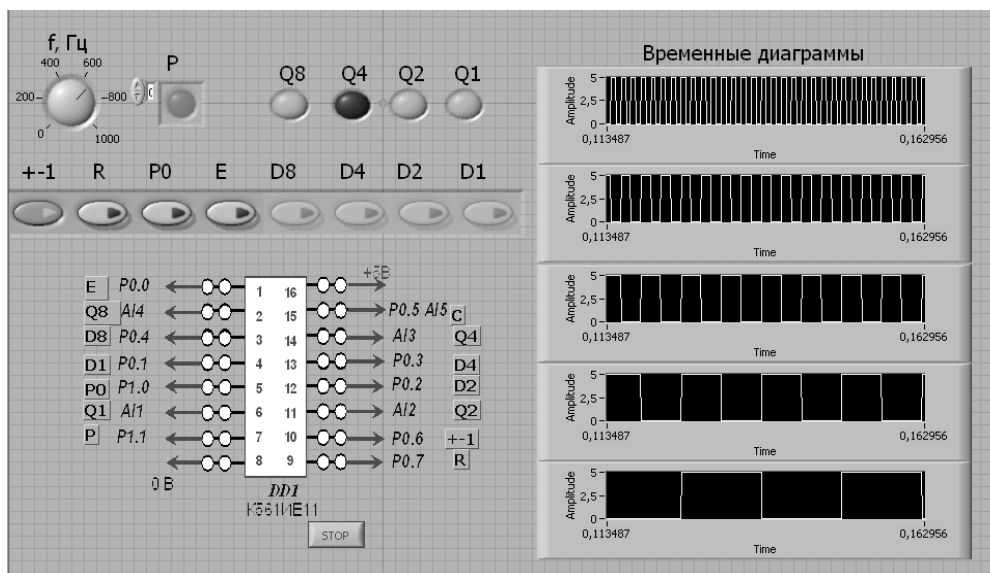


Рисунок 20.9 – Виртуальный прибор для экспериментального исследования счётчика в среде LabVIEW

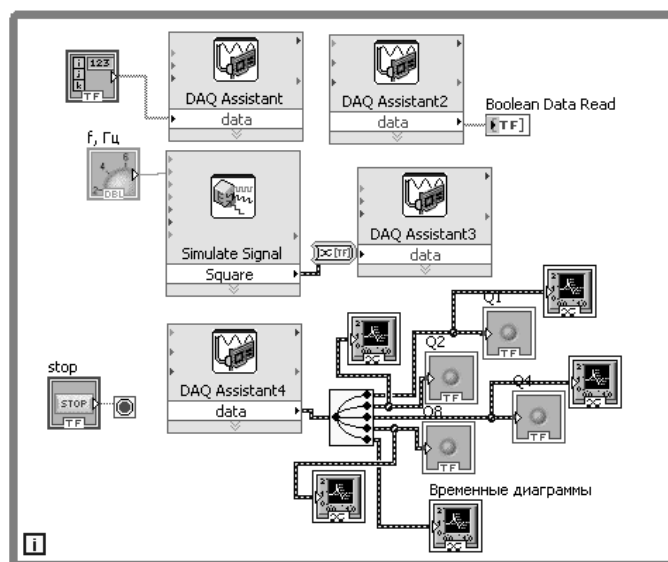


Рисунок 20.10 – Блок-диаграмма виртуального прибора в LabVIEW для исследования счётчика

Исследовать работу счётчика в режиме сложения, вычитания, предварительной установки, сброса. Сравнить с результатами моделирования.

20.2.4 Подключить к выходам счётчика семисегментный индикатор с дешифратором. Исследовать работу данных устройств.

20.2.5 Сделать выводы по результатам работы.

### Содержание отчёта

Отчёт по работе должен содержать цель работы, схемы для моделирования работы регистра, счётчика, дешифратора и семисегментного индикатора в среде Multisim, блок-диаграмму виртуального прибора для экспериментального сня-

тия характеристик счётчика и диалоговое окно, временные диаграммы работы регистра, счётчика, дешифратора, выводы по работе.

### **Контрольные вопросы**

- 1 Приведите определение комбинационных устройств и алгоритм их построения.
- 2 Применение дешифраторов и их обозначение.
- 3 Какие типы счетчиков Вы знаете? Их цифровое обозначение.
- 4 Укажите функции, которые в общем случае может выполнять регистр.
- 5 Укажите, в какой момент 5-разрядный счетчик возвращается в начальное состояние.
- 6 Составьте выражения для выходных булевых функций  $Q_1...Q_4$  шифратора цифр в код 8-4-2-1, если управляющим сигналом является «0».
- 7 Составьте таблицу истинности и выражения для выходных булевых функций  $F_6$  и  $F_9$  преобразователя кода 8-4-2-1 в код семисегментного индикатора цифр.

## **21 Исследование цифроаналоговых и аналого-цифровых преобразователей**

**Цель работы:** исследование принципа работы цифроаналоговых и аналого-цифровых преобразователей.

### **21.1 Общие сведения**

*Цифроаналоговые преобразователи (ЦАП).*

ЦАП предназначены для преобразования цифровых сигналов в аналоговые. Такое преобразование необходимо, например, при восстановлении аналогового сигнала, предварительно преобразованного в цифровой для передачи на большое расстояние или хранения (таким сигналом, в частности, может быть звук). Другой пример использования такого преобразования – получение управляющего сигнала при цифровом управлении устройствами, режим работы которых определяется непосредственно аналоговым сигналом (что, в частности, имеет место при управлении двигателями).

К основным параметрам ЦАП относят разрешающую способность, время установления, погрешность нелинейности и др.

Разрешающая способность – величина, обратная максимальному числу шагов квантования выходного аналогового сигнала. Время установления – интервал времени от подачи кода на вход до момента, когда выходной сигнал войдет в заданные пределы, определяемые погрешностью. Погрешность нелинейности – максимальное отклонение графика зависимости выходного напряжения от напряжения, задаваемого цифровым сигналом, по отношению к иде-

альной прямой во всем диапазоне преобразования.

Как и рассматриваемые далее аналого-цифровые преобразователи (АЦП), ЦАП являются «связующим звеном» между аналоговой и цифровой электроникой. Существуют различные принципы построения АЦП.

Схема цифроаналогового преобразователя приведена на рисунке 21.1.

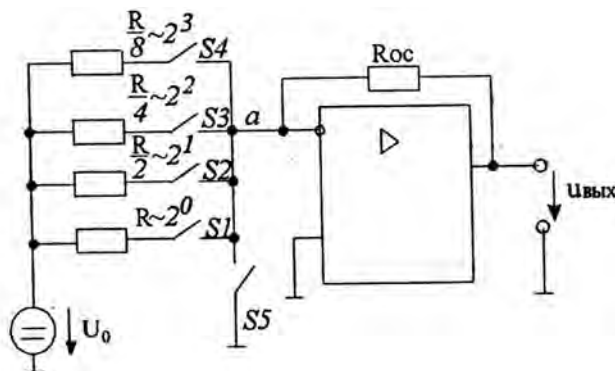


Рисунок 21.1 – Схема ЦАП с суммированием весовых токов

Ключ  $S5$  замкнут только тогда, когда разомкнуты все ключи  $S1...S4$  (при этом  $u_{вых} = 0$ ).  $U_0$  – опорное напряжение. Каждый резистор во входной цепи соответствует определенному разряду двоичного числа.

По существу этот ЦАП – инвертирующий усилитель на основе операционного усилителя. Так, если замкнут один ключ  $S1$ , то  $u_{вых} = -U_0 R_{oc} / R$ , что соответствует единице в первом и нулям в остальных разрядах.

Из анализа схемы следует, что модуль выходного напряжения пропорционален числу, двоичный код которого определяется состоянием ключей  $S1...S4$ . Токи ключей суммируются в точке «а», причем токи различных ключей различны (имеют разный «вес»). Это и определяет название схемы.

Из вышеизложенного следует, что

$$U_{вых} = -U_0 \frac{R_{oc}}{R} S_1 - U_0 \frac{R_{oc}}{R/2} S_2 - U_0 \frac{R_{oc}}{R/4} S_3 - U_0 \frac{R_{oc}}{R/8} S_4 =$$

$$= -U_0 \frac{R_{oc}}{R} (8S_4 + 4S_3 + 2S_2 + S_1).$$

$S_i$  ( $i = 1, 2, 3, 4$ ) принимает значение 1, если соответствующий ключ замкнут, и 0, если ключ разомкнут.

Состояние ключей определяется входным преобразуемым кодом.

Наиболее распространёнными являются ЦАП серий микросхем 572, 594, 1108, 1118 и др.

*Аналого-цифровые преобразователи (АЦП).*

АЦП – это устройства, предназначенные для преобразования аналоговых сигналов в цифровые. Для такого преобразования необходимо осуществить квантование аналогового сигнала, т. е. мгновенные значения аналогового сигнала

ла ограничить определенными уровнями, называемыми уровнями квантования.

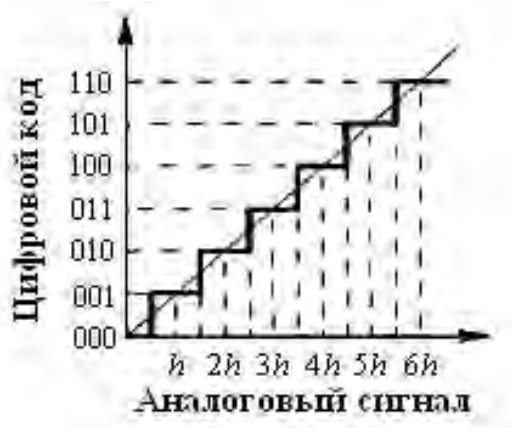


Рисунок 21.2 – Характеристика идеального квантования

Квантование представляет собой округление аналоговой величины до ближайшего уровня квантования, т. е. максимальная погрешность квантования равна  $+0,5h$  ( $h$  – шаг квантования).

К основным характеристикам АЦП относят число разрядов, время преобразования, нелинейность и др. Число разрядов – количество разрядов кода, связанного с аналоговой величиной, которое может вырабатывать АЦП. Часто говорят о разрешающей способности АЦП, которую определяют величиной, обратной максимальному числу кодовых комбинаций на выходе АЦП. Так, 10-разрядный АЦП имеет разрешающую способность  $(2^{10} = 1024)^{-1}$ , т. е. при шкале АЦП, соответствующей 10 В, абсолютное значение шага квантования не превышает 10 мВ. Время преобразования – интервал времени от момента заданного изменения сигнала на входе АЦП до появления на его выходе соответствующего устойчивого кода.

Характерными методами преобразования являются следующие: параллельного преобразования аналоговой величины и последовательного преобразования.

Рассмотрим АЦП с параллельным преобразованием входного аналогового сигнала (рисунок 21.3). По параллельному методу входное напряжение одновременно сравнивают с  $n$  опорными напряжениями и определяют, между какими двумя опорными напряжениями оно лежит. При этом результат получают быстро, но схема оказывается достаточно сложной.

Рассмотрим принцип действия такого АЦП. При  $U_{вх} = 0$ , поскольку для всех ОУ разность напряжений  $(U_+ - U_-) < 0$ , напряжения на выходе всех ОУ равны  $-E_{num}$ , а на выходах кодирующего преобразователя (КП)  $Z_0, Z_1, Z_2$  устанавливаются нули. Если  $U_{вх} > 0,5 U$ , но меньше  $3/2 U$ , лишь для нижнего ОУ  $U_+ - U_- > 0$  и лишь на его выходе появляется напряжение  $+E_{num}$ , что приводит к возникновению на выходах КП следующих сигналов:  $Z_0 = 1, Z_2 = Z_1 = 0$ . Если  $U_{вх} > 3/2 U$ , но меньше  $5/2 U$ , то на выходе двух нижних ОУ появляется напряжение  $+E_{num}$ , что приводит к возникновению на выходах КП кода 010, и т. д.

Рассмотрим конкретный вариант АЦП с последовательным преобразованием входного сигнала (последовательного счета), который называют АЦП со



следящей связью (рисунок 21.4). В АЦП рассматриваемого типа используются ЦАП и реверсивный счетчик, сигнал с которого обеспечивает изменение напряжения на выходе ЦАП. Настройка схемы такова, что достигается примерное равенство напряжений на входе  $U_{BX}$  и на выходе ЦАП –  $U$ . Если входное напряжение  $U_m$  больше напряжения  $U$  на выходе ЦАП, то счетчик переводится в режим прямого счета и код на его выходе увеличивается, обеспечивая увеличение напряжения на выходе ЦАП. В момент равенства  $U_{BX}$  и  $U$  счет прекращается и с выхода реверсивного счетчика снимается код, соответствующий входному напряжению.

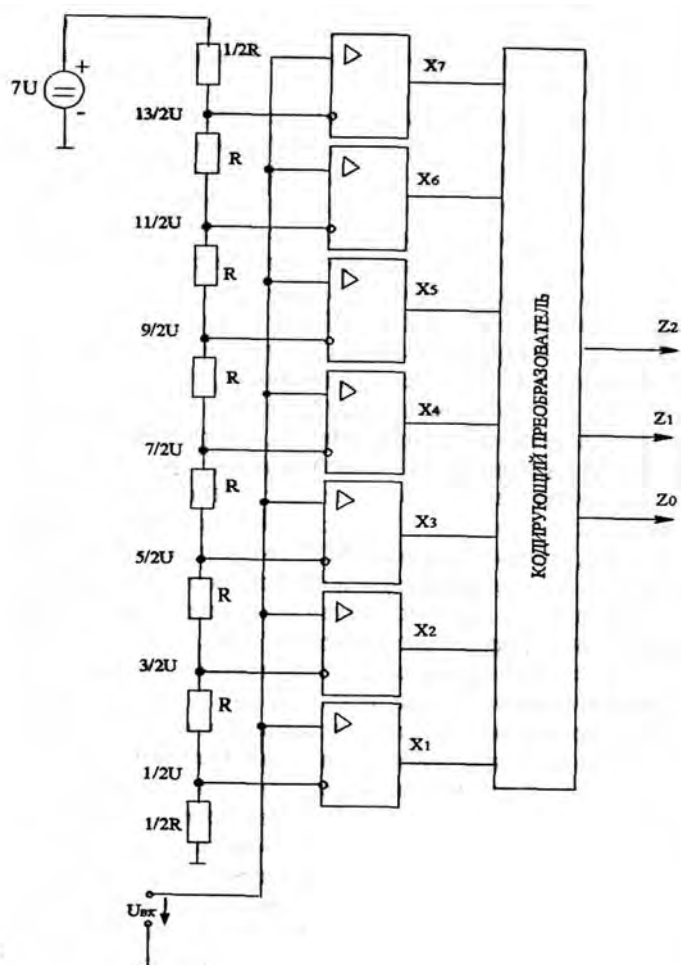


Рисунок 21.3 – Структурная схема АЦП с параллельным преобразованием

Наиболее распространёнными являются АЦП серий микросхем 572, 1107, 1138 и др.

## 21.2 Порядок выполнения работы

21.2.1 На основании заданной преподавателем разрядности построить схемы ЦАП и АЦП.

21.2.2 Произвести моделирование работы ЦАП и АЦП в программе Multisim, собрав схему, приведенную на рисунке 21.5. Номиналы резисторов обратной связи внести в таблицу 21.1 для ЦАП.

21.2.3 По результатам расчётов заполнить таблицы 21.2 (ЦАП) и 21.3 (АЦП).

21.2.4 Сделать вывод.

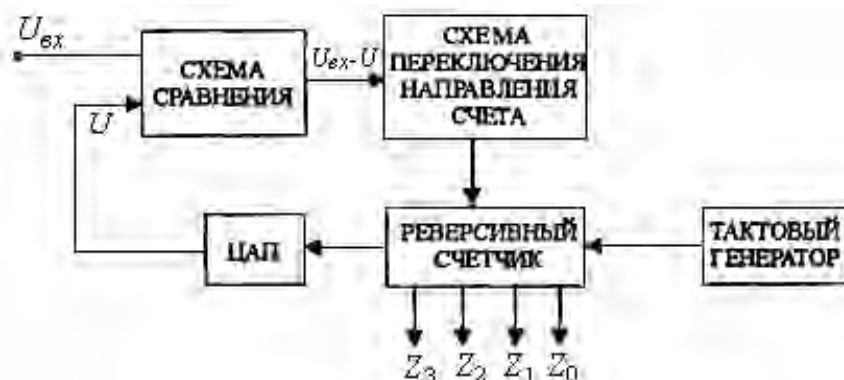


Рисунок 21.4 – Структурная схема АЦП с последовательным преобразованием

Таблица 21.1 – Номиналы резисторов ОС

| $R1, \text{кОм}$ | $R2, \text{кОм}$ | $R3, \text{кОм}$ | $R_n, \text{кОм}$ | $R_{oc}, \text{кОм}$ |
|------------------|------------------|------------------|-------------------|----------------------|
|                  |                  |                  |                   | 2                    |

Таблица 21.2 – Результаты моделирования ЦАП

| Числовое значение на входе | D3  | D2  | D1  | D0  | $U_{вых}, \text{В}$ |
|----------------------------|-----|-----|-----|-----|---------------------|
| 01                         | 0   | 0   | 0   | 1   |                     |
| 02                         | 0   | 0   | 1   | 0   |                     |
| ...                        | ... | ... | ... | ... | ...                 |
| 15                         | 1   | 1   | 1   | 1   |                     |

Таблица 21.3 – Результаты моделирования АЦП

| Напряжение на входе, В | Числовое значение на выходе |
|------------------------|-----------------------------|
|                        | 0                           |
|                        | 1                           |
|                        | 2                           |
|                        | 3                           |
|                        | 4                           |



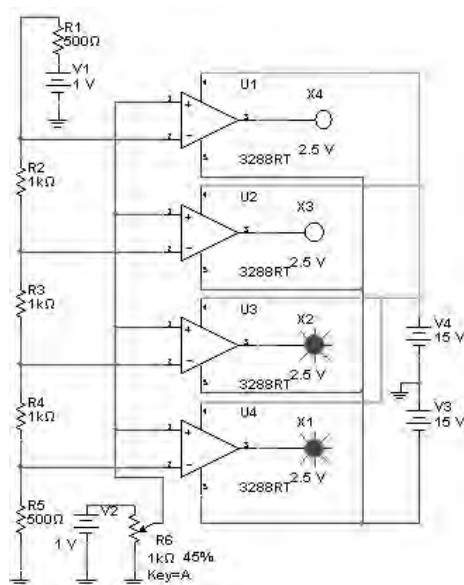
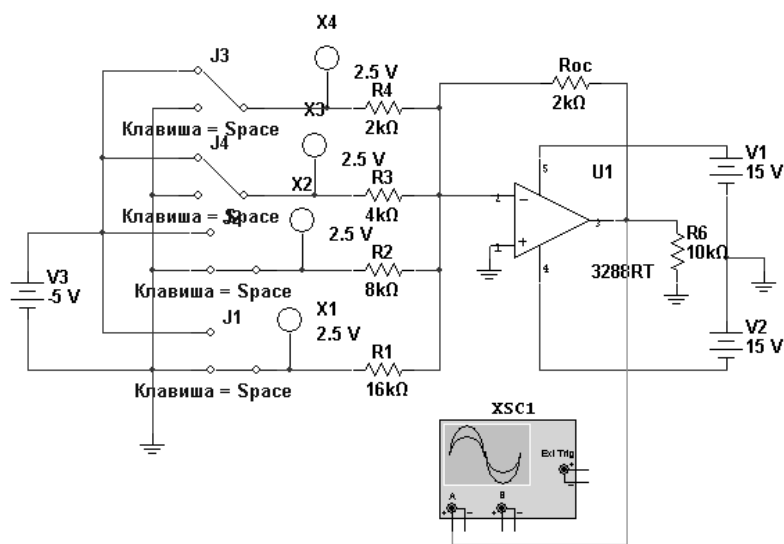


Рисунок 21.5 – Моделирование ЦАП и АЦП

### Содержание отчёта

Отчёт по работе должен содержать цель работы, задание к работе, схемы для моделирования работы ЦАП Multisim, полученные осциллограммы напряжений, результаты моделирования в виде таблицы, выводы по работе.

### Контрольные вопросы

- 1 Опишите принцип работы и области применения ЦАП.
- 2 Приведите основные параметры ЦАП.
- 3 Дайте определение АЦП и назовите его основные характеристики.
- 4 Объясните особенности параллельного и последовательного АЦП.

## 22 Исследование работы сумматора двоичных чисел

**Цель работы:** исследование работы сумматора двоичных чисел.

### 22.1 Основные теоретические сведения

Сумматор – это логическая электронная схема, выполняющая сложение двоичных чисел. Сумматор является главной частью процессора.

В данной лабораторной работе исследуется работа быстродействующего полного сумматора 7483N (рисунок 22.1).

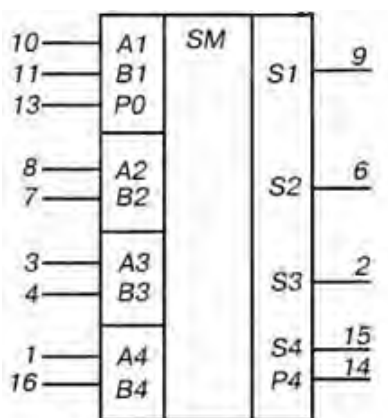


Рисунок 22.1 – Сумматор 7483N

Два четырехразрядных двоичных числа, подлежащих суммированию, подаются на его входы A1...A4 и B1...B4 соответственно. Сигнал переноса младшего разряда подается на вход P0. Сумма входных чисел появляется на выходах S1...S4. На выходе P4 формируется сигнал переноса. Сумматор может работать с числами, представленными как в прямом, так и в обратном коде.

### 22.2 Порядок выполнения работы

22.2.1 Собрать схему в соответствии с рисунком 22.2.

22.2.2 Включить моделирование. С помощью клавиш J1...J8 подавать на входы A1...A4 и B1...B4 сумматора DD1 четырехразрядные двоичные числа, подлежащие суммированию (по заданию преподавателя).

С помощью клавиши J9 на вход P0 подается сигнал переноса младшего разряда. Суммируемые числа и младший разряд переноса отображаются на индикаторах X4...X1, X8...X5 и X9.

Результат суммирования и перенос в старший (пятый) разряд появится на индикаторах X14 и X13...X10.

22.2.3 Просуммировать двоичные числа по указанию преподавателя.

Результаты оформить в виде таблицы 22.1.

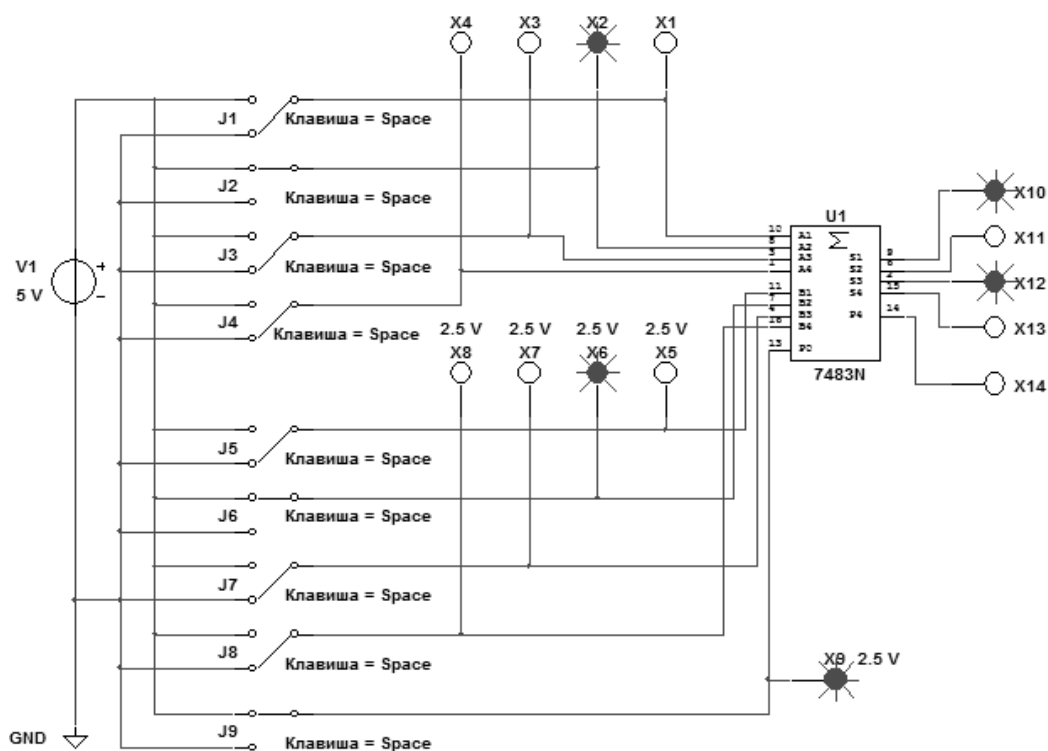


Рисунок 22.2 – Схема в Multisim для исследования работы сумматора

Таблица 22.1 – Результаты моделирования работы сумматора

| Данные на входах | A4 | A3 | A2 | A1 | B4 | B3 | B2 | B1 | P0 | P4 | S4 | S3 | S2 | S1 | Результат |
|------------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|-----------|
| В прямом коде    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |           |
| В обратном коде  |    |    |    |    |    |    |    |    |    |    |    |    |    |    |           |

### Содержание отчета

Отчет о проделанной работе должен содержать название работы, цель работы, условное обозначение сумматора, таблицы результатов суммирования, выводы.

### Контрольные вопросы

- 1 Какие устройства называют сумматорами?
- 2 Нарисуйте условное обозначение сумматора и объясните назначение его выводов.
- 3 В каких сериях имеются сумматоры в интегральном исполнении и какова их маркировка?
- 4 На каких математических операциях базируется работа сумматора?
- 5 Чем отличается последовательное суммирование от параллельного?

## Список литературы

- 1 **Лачин, В. И.** Электроника : учебное пособие / В. И. Лачин, Н. С. Савелов. – 7-е изд., перераб. и доп. – Ростов-на-Дону : Феникс, 2009. – 703 с.
- 2 **Клочков, М. И.** Расчет элементов и моделирование схем энергетической и информационной электроники : учебное пособие / М. И. Клочков. – Хабаровск : ДВГУПС, 2004. – 138 с.
- 3 **Марченко, А. Л.** Основы электроники: учебное пособие для вузов / А. Л. Марченко. – Москва : ДМК Пресс, 2008. – 296 с.
- 4 Электротехника и электроника в экспериментах и упражнениях: лаборатория на компьютере : в 2 т. / Под общ. ред. Д. И. Панфилова. – Москва : МЭИ, 2004. – 304 с.
- 5 **Москатов, Е. А.** Справочник по полупроводниковым приборам / Е. А. Москатов. – Москва : Радио, 2005. – 208 с.
- 6 **Ткаченко, Ф. А.** Техническая электроника / Ф. А. Ткаченко. – Минск : Дизайн ПРО, 2002. – 368 с.
- 7 Резисторы, конденсаторы, трансформаторы, дроссели, коммутационные устройства РЭА : справочник / Н. Н. Акимов [и др.]. – Минск : Беларусь, 1994. – 591 с.

